



基于开源工具的 RISC-V 处理器核验证

前言

DMR 是一款兼容 RISC-V 指令集架构的 64 位通用处理器核心，其采用乱序超标量结构（4 发射，整数 12 级流水），支持 RISC-V M/S/U 态，支持 Sv39/Sv48，物理地址 44 位。DMR 预期 SPEC2006 分数不低于 15 分。DMR 处理器核拥有一套多层次多迭代的验证方法。本文主要介绍 DMR 处理器核在软模拟环境中的核级功能验证工作，并分析 RISC-V 相关开源工具在验证工作中的有效性。本文主要贡献如下：

- 介绍了 RISC-V 指令集架构通用微处理器核在软模拟环境中的验证方法及验证流程；
- 分析了当前 RISC-V 相关开源验证工具在实际应用中的有效性；
- 修补、增强了当前主要 RISC-V 开源工具的功能。

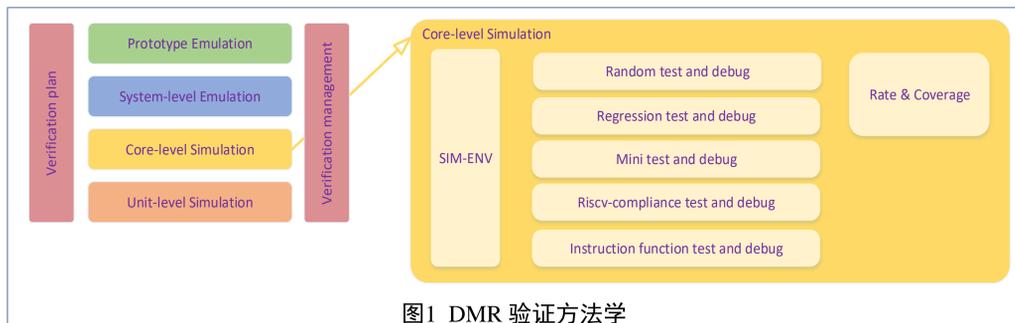


图1 DMR 验证方法学



图2 DMR 处理器核的核级仿真环境

开源工具分析

a. 开源测试集

Riscv-tests 测试集提供基本指令测试集、benchmarks 测试集和 debug 模式测试集。其支持 RISC-V ISA 中所有指令，可访问所有通用寄存器。Riscv-compliance 基于 Riscv-tests 提供的基本指令测试集，形成了一组用于合规性测试的合规性测试集合。

Riscv-tests 提供的基本指令测试集对于指令功能的覆盖并不全面。Riscv-compliance 以其作为合规性测试集合不能满足功能验证需求。

如表 1 所示，在指令基本通路测试和合规性测试阶段，DMR 团队补充了大量定向测试激励，主要包括基本指令、csr 寄存器、mmu 等相关功能。

激励类别	激励个数
基本指令功能	407
CSR 指令、CSR 寄存器相关	788
MMU 相关	588
M/S/U 状态切换相关	10
中断相关	11
静态分支预测	4
总计	1808

b. 指令集模拟器

Spike 模拟器和 RiscvOVPSim 模拟器存在如下问题：

- 顺序存储指令 lr 和 sc 指令之间有其他写操作访问相同地址时，RiscvOVPSim 模拟结果为 sc 指令执行成功；
- RiscvOVPSim 在某些异常发生情况下无法报告异常发生原因 mcause；
- RiscvOVPSim 在 rv64 下仅修改 pmpaddr 寄存器的低 32 位；
- Mret 后，RiscvOVPSim 和 Spike 对 mstatus.mpp 字段的处理方式不一致；
- Spike 和 RiscvOVPSim 对 fsgn 类型指令 subnormal 数据的处理不一致；
- RiscvOVPSim 许可证不定期更新。

综上，在合规性测试结束后，选定 Spike 模拟器为后期 DMR 核级功能验证的 golden 模拟器，并对 Spike 的功能做了增强：

- 适配 DMR 模拟环境定制 signature 机制：退出机制、子系统级模拟 tohost 机制；
- 结合 DMR 验证需求定制 spike 日志文件；
- 适配 DMR 设计规范的 csr 寄存器：新增 DMR 自定义 csr 寄存器、针对架构定义 csr 寄存器的可选实现按照 DMR 设计规范进行修改；
- 交互模式功能增强：新增输入工作选项、新增调试命令选项。

c. 随机激励生成工具

Riscv-dv 提供了一些可配置的随机激励生成场景。Riscv-dv 作为随机指令发生器，存在两个方面的问题：

- Riscv-dv 提供了 25 类场景可配置的随机指令流，并支持其他一些架构相关的指令类别约束，但它们组合构建的覆盖场景仍然不够全面，既不足以 DMR 提供相对完备的测试用例集合来保证其功能正确性，也不能支撑不同规格、功能特性的芯片功能验证需求；
- Riscv-dv 已覆盖场景生成的测试激励的有效性待评估；实际 DMR 核级功能验证过程中，已发现 riscv-dv 场景配置生成的随机激励存在两个问题：一是 Riscv-dv 和指令集模拟器存储空间分配不一致；二是 Riscv-dv 生成的 mmu 相关测试激励不能提供足够的压力。

DMR 实际验证过程中，针对 RISC-V 架构需求，展开了对 riscv-dv 随即激励生成场景的补充增强工作：一是分析、修补已有随机激励生成场景，二是开发新的可配置的随机激励生成场景。

d. 覆盖率统计模型

Riscv-dv 构建了核级覆盖率统计模型。Riscv-dv 覆盖率统计模型的主要问题在于其覆盖率收集所参照的功能点不完备。这意味着通过现有 riscv-dv 覆盖率统计模型收集到的数据并不足以考量核级验证工作的完备性，因为其参照的功能点本身就是不完备的。

针对这个问题，DMR 验证工作根据 RISC-V 架构需求及 DMR 设计规范，完成了相关功能点设计，并在 riscv-dv 中构建了更加完善的覆盖率统计模型。

DMR 在软模拟环境中的核级功能验证

指令基本通路测试

指令基本通路测试是对单条指令的取指、译码、分派、执行、最后提交的整个流程进行测试。该阶段工作实现了对 RV64G 类指令的通路测试。

指令基本通路测试完成的标志为所有手写指令功能的定向测试激励均验证通过。

在指令基本通路测试中，我们开发了 1201 个支持自检验功能的手写定向测试激励，发现并定位 DMR 设计缺陷 50 余处，这说明了定向测试激励在设计前期可加速代码质量的提升。此外，在验证过程中分析了 RISC-V 开源模拟器 Spike 和 RiscvOVPSim 在指令基本通路测试工作中的有效性。

合规性测试

DMR 合规性测试包括 RISC-V 特权架构相关的符合性验证。

合规性测试完成标志为合规性测试集中所有测试激励（包括 Riscv-compliance 开源测试集和 DMR 补充开发的手写合规性测试激励）均验证通过。

在合规性测试中，我们开发并完善了 RISC-V 合规性测试集，开发具自校验功能的合规性测试激励共 582 个，发现并定位 DMR 设计缺陷 13 处，分析了 RISC-V 开源模拟器 Spike、RiscvOVPSim 在合规性测试工作中的有效性。

mini测试

mini 测试基于 Riscv-tests 提供的 benchmarks 测试集。

基于 Riscv-tests 开源测试集的 mini 测试完成标志为 benchmarks 中所有测试激励均验证通过，其意义在于确定当前设计代码基本稳定，具备运行条件，可以进入回归测试。

回归测试

回归测试基于指令基本通路测试阶段的指令功能定向测试激励和合规性测试阶段的合规性测试集。

回归测试阶段开始对功能覆盖率进行统计。当无法通过补充手写测试激励提高功能覆盖率时，核级功能验证进入随机测试阶段。

随机测试

随机测试主要针对各种指令组合、边界场景及整个微架构进行测试。随机测试分为两个阶段：第一阶段为指定场景的随机测试，由 Riscv-dv 生成指定场景的随机测试程序，所有场景测试均通过时，结束该阶段；第二阶段为不指定场景的随机测试，直接生成随机测试程序。随机测试完成标志为覆盖率统计结果平滑收敛，趋近于 100%，未覆盖功能明确。

Riscv-dv 提供了 25 类场景可配置的随机指令流，并提供了架构相关的指令类别约束。在随机测试过程中，我们分析了 Riscv-dv 随机生成工具在随机测试中的有效性，完善了 RISC-V 随机测试场景，并且对 RISC-V 随机测试场景的进一步开发做了规划。我们基于 Riscv-dv 提供的可配置选项和我们对 Riscv-dv 的增强开发，产生并运行测试达到 0.5billion 指令条数。

DMR 统计包括核级功能点 9851 条，

DMR 核级功能验证功能覆盖率达 99.47%，

核级功能验证功能覆盖率报告说明目前的 DMR 核级功能测试基本接近百分之百覆盖设计功能，其中未覆盖部分在于 lr/sc 指令相关功能、指令操作数取值随机区间未能覆盖完全。

验证有效性评估

本文针对 64 位通用处理器核心 DMR，在软模拟环境中进行核级功能验证工作，完成了指令基本通路测试、合规性测试、mini 测试、回归测试；目前基于 Riscv-dv 的随机测试正在进行中。

DMR 已完成核级功能验证的前期工作，已实现在软模拟环境引导 Linux OS、FPGA 环境引导 Linux OS。

倪晓强，徐雁冰，曹鲜慧