

标题:可适用于大规模数通芯片UVM验证  
平台自动搭建的eSim开发

作者:葛安奎、王磊、王锋

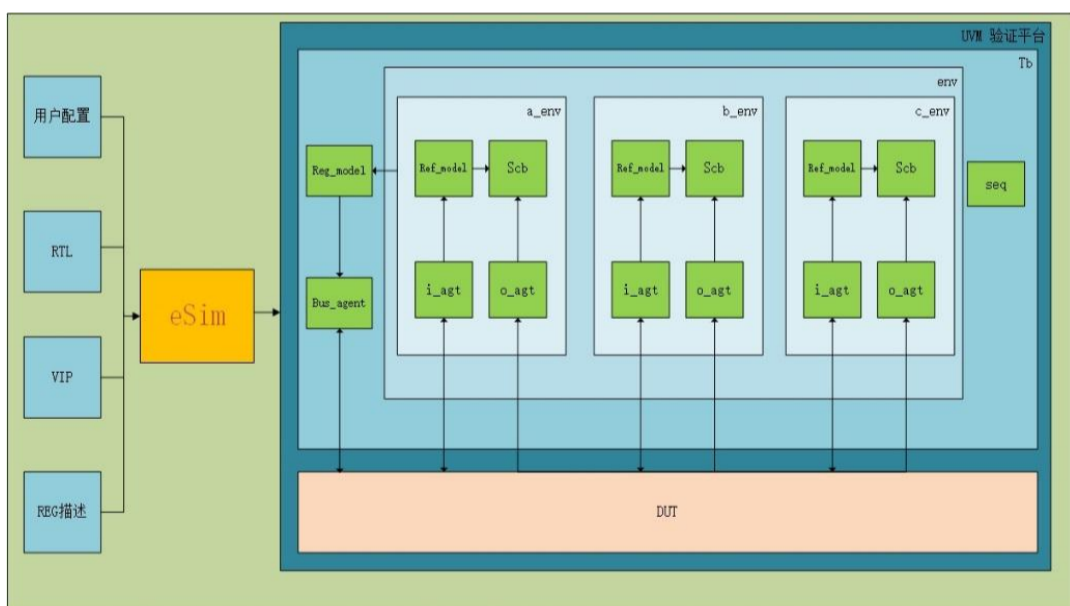
## 目的

近年来，UVM验证方法学以其优异的性能在芯片设计验证（DV）领域备受关注，各大芯片研发公司积极部署、广泛应用。同时，UVM验证平台搭建的复杂度和周期也成为验证工作中高技术含量的门槛。如何提高验证平台的搭建效率、并减少验证人员的重复工作量，研究如何改善UVM验证平台的自动化搭建也成为设计验证领域一大热点。

数通芯片接口数量繁多且复杂，市场上的芯片验证平台一般只能搭起基本框架，需要手动更改的较多。搭建SOC、子系统，模块等多级UVM验证平台和测试用例开发耗时长，且只支持自家的VIP，对非标支持不够。因此如何更好的提取验证平台关键信息，高效、智能化地生成适用于大规模数通芯片的验证平台，是我们的研究重点。本文基于自研的芯片验证开发工具eSim，介绍DV团队自动化搭建UVM验证平台的研究工作。

## 方法

选择Perl作为语言作为代码生成的脚本语言,选用数通芯片验证的模板UVM平台作为模板系统,从而自动系统化生成与待测设计匹配的定制化验证环境,包含配置输入与解析系统/模板系统/中心代码生成系统, eSim工具生成的UVM框架如下图:

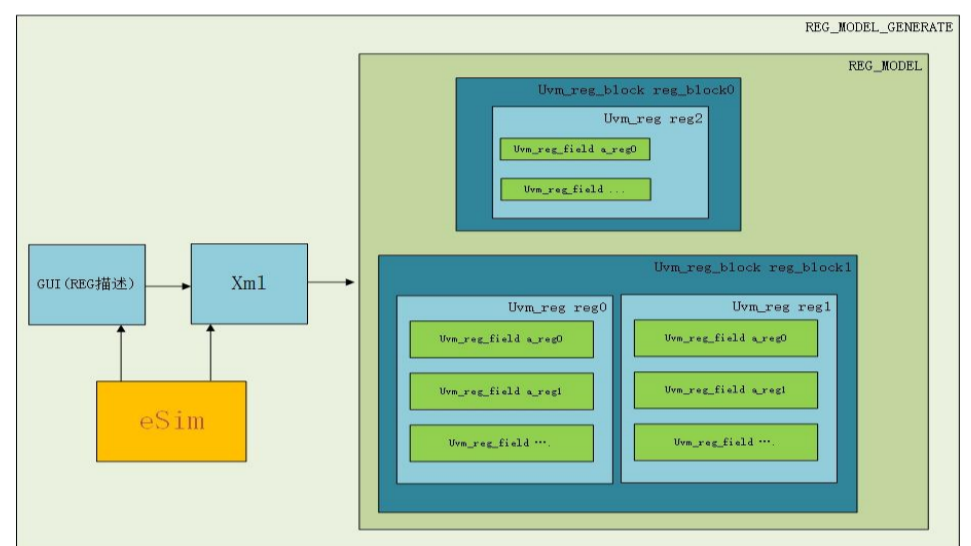


## 结果

(1) 根据用户UVM配置和VIP的配置，创建和例化相应组件，并将其集成到验证平台，自动搭建验证平台整体架构。生成针对数通芯片接口的基本sequence和测试用例。用户输入参数如下表:

输入信息	用途描述
DUT	待测设计顶层文件路径，提取最外围输入输出接口，及其例化的DUT的个数和名字及其file list路径（包含verilog或vhdl）
TB_TOP	提取项目名称，用以渲染代码
TB_PATH	用以生成代码的存放路径
REG	寄存器描述文件存放路径，通过脚本提取信息并生成UVM寄存器模型
ENV	uvm_env的class name，各env例化的名字，scb/reference是否要例化等相关信息
AGENT	各uvm_agent的class name，各agent例化的名字，各env中sequencer、driver是否要例化等相关信息
VIP	各类VIP相关信息，包含要使用的VIP的env、agent类名和例化的名字等相关信息

(2) 自动分析RTL代码，抓取端口信号，例化多个DUT和agents并自动连接。eSim系统支持寄存器/memory模型的自动生成和集成，减轻了繁琐的DUT接口信号的手动连接工作，生成寄存器模型如下图:



(3) 通过使用config聚合类，将config加载到各env和agt中，因此可以直接通过顶层cfg去修改env/agent的聚合参数，减少config\_db的使用，集中管理配置config，使得配置项结构更加清晰。

(4) 通过用户配置生成环境变量，自动提取各组件的文件和路径信息放入filelist。用户可自定义各仿真使用的编译和运行选项，通过eSim自动加载，使编译和运行选项能够根据业务场景动态调整。支持gui调试，定时更新rtl/tb回归,并邮件通知结果和覆盖率收集等功能。

(5) 通过加入dpi的接口，可以在SV中直接调用.so中的函数，函数来源包含 Matlab算法和C代码。通过间接调用Matlab算法可以在验证平台中使用其函数来检查 DUT的性能等指标，帮助快速检查、调试设计性能。尤其对数通芯片中高速接口性能指标的评估较为方便。

通过使用自研的eSim工具自动生成UVM验证平台，减少了搭建验证平台时间和测试用例的创建时间。实验显示对某一特定子系统验证平台搭建周期从上一个项目的2周多时间缩短到2天，时间节省了80%，并且生成基本sequence和case，在一定程度上减少了测试用例编写时间。

## 结论

在我们180亿晶体管规模数通SoC芯片验证中，使用eSim工具系统，通过自动分析用户配置、VIP配置和RTL代码，自动搭建验证平台，支持性能仿真分析。并且较好的支持系统、子系统的垂直复用和其他项目中的水平复用，从而提升了设计验证部门整体验证效率。我们会在接下来的项目大力推广使用eSim工具，保证数通及其他大规模芯片功能和性能均得到及时的验证，从而提升流片质量。eSim工具未来会在自动生成全面的测试用例和验证流程等方面继续完善，为芯片开发作出更多贡献。