

2022
DESIGN AND VERIFICATION™
DVCON
CONFERENCE AND EXHIBITION
JAPAN

ASIC設計者が知っておくべき
FPGAローパワー対策

SIEMENS

シーメンスEDAジャパン株式会社

長南純一



ローパワー設計と世界状況との関係

ローパワー設計は今後のチップ開発において無関係ではいけない理由

理由： 温暖化対策の必要性

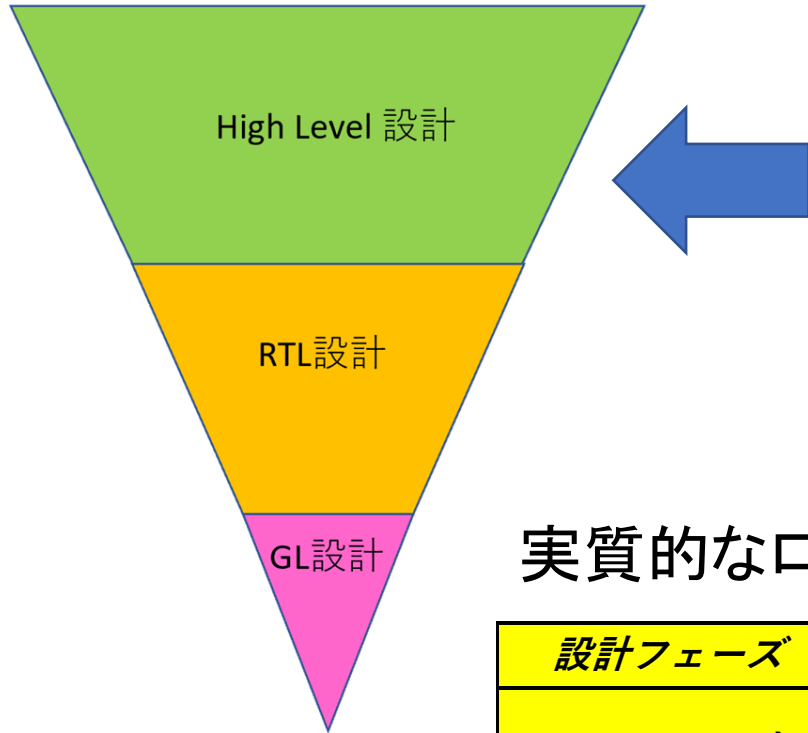
- 脱化石燃料、積極的な再生可能エネルギーな活用 及び 省エネルギー化
- 電気自動車/電動船/電動航空機の導入の加速化
- IoT、Edgeデバイスの増加に伴う電力の需要増加
- データセンターの熱問題と冷却のための電力需要

全分野の製品における半導体デバイスの需要が減ることは絶対にならない

ローパワー設計は省エネルギーに対する必要手段

ローパワー設計の見直し

一般的にいわれるローパワー削減効果



一般的に設計フェーズ毎にローパワー削減効果の大小を紹介する事が多いため、どのフェーズでローパワー化を行えば良いかを考える設計者が多い

実質的なローパワー化のポイント

設計フェーズ	考慮すべきローパワー対策	期待される効果
High Level 設計	使用リソースを考慮	適切なリソース配分や共有によりローパワー化を実現するハードウェアの最小構成を得る
RTL設計	無駄な動作の抑制	不要なトグルを適切なリソースによって制御し最小のダイナミックパワーで回路を動作させる
GL設計	電源分離	必要最適限度の電源で動作させる事が可能

ローパワー最適化とは？

ローパワー設計の鉄則

- 不要な演算/論理回路を削除
- 信号の不要なトグルのゲーティング
- 高周波数の信号に対するfanout数の確認
- Glitchの発生箇所とその影響を考慮

不要なトグルをゲーティングする際の注意点

不要なトグルのゲーティングが主に Clock Gatingになる理由

- クロックは一番速いデータの切り替え周波数に合わせた高周波数で動作する必要がある
データ切り替えは常に同じ周波数で切り替わっている訳ではない
クロックは常に一定の周波数で動作するため、クロックには無駄なトグルが多い

クロックネットワークは回路中一番高い周波数で動作し、fanout数も一番多いため
Dynamic Powerを一番消費するポイントになる

RTLからGLネットリストに対して、Register の位置や数は変わらないので
GLネットリストより抽象度の高いRTLで Clock Gating挿入 (RegisterへのEnable論理挿入)を積極的に行う事が RTL設計における不要なトグルをゲーティングする際の王道

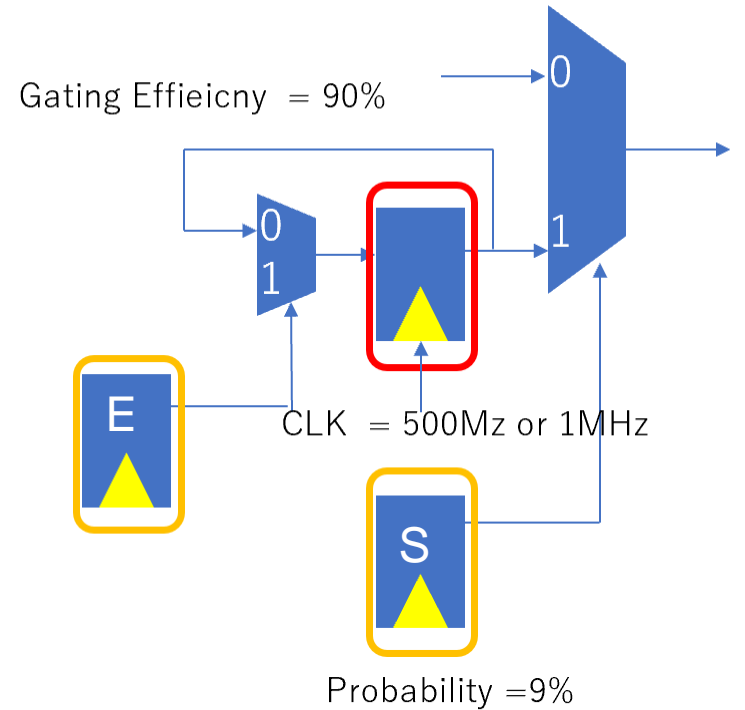
クロック周波数を使ったピーク周波数削減

高周波数クロックで駆動されるレジスタ

最適化対象 Reg CLK周波数	最適化前後 ゲーティング効果	削減可能な 平均クロック周波数	削減可能な ピーククロック周波数
500MHz	90%→91%	5MHz	500MHz

低周波数クロックで駆動されるレジスタ

最適化対象 Reg CLK周波数	最適化前後 ゲーティング効果	削減可能な 平均クロック周波数	削減可能な ピーククロック周波数
1MHz	0%→95%	0.95MHz	1MHz



- 最適化対象 Register
- 最適化関連 Register

不要なトグルを的確に見つけるためには

不要なトグル箇所を確認するためRTL回路の動作情報が必要



回路全体でのシミュレーション/エミュレーションが必要



FPGAをASICのプロトタイプとしてローパワー化の検討は可能か？

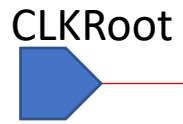


ローパワー化を適応した場合、FPGAのパワーが増加の可能性も。何故？

ASICとFPGAの構造の違い構造の差を理解すれば、ローパワー設計でFPGAを使用可能

ASICとFPGAの構造の違い

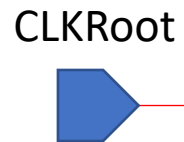
CLKRootと FFの中間点にCGセルを配置可能



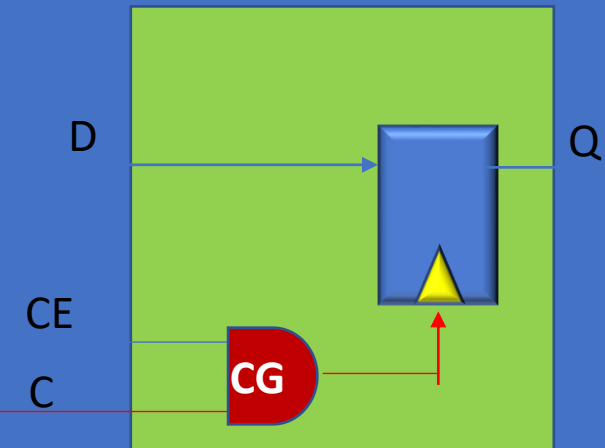
ASIC

FPGA ASICとFPGAのクロックライン構造の違い

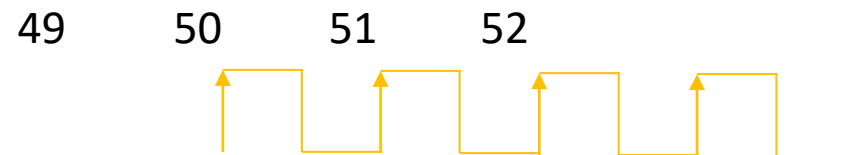
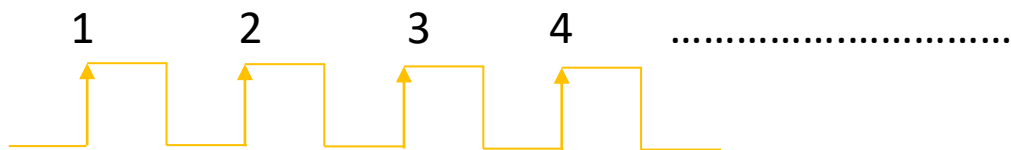
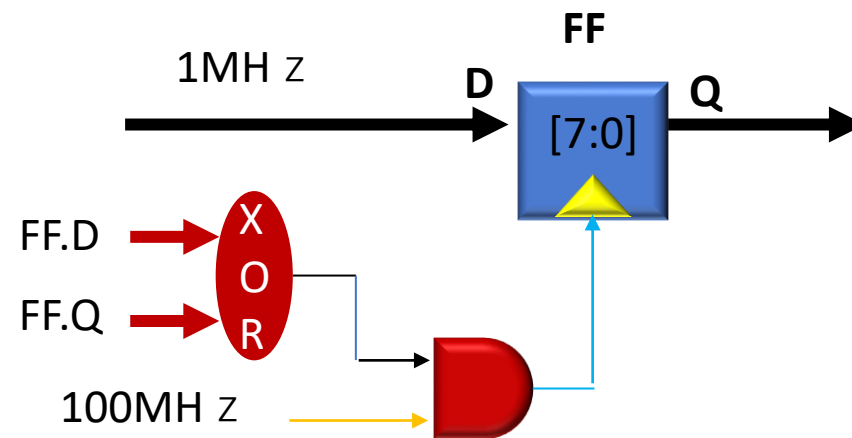
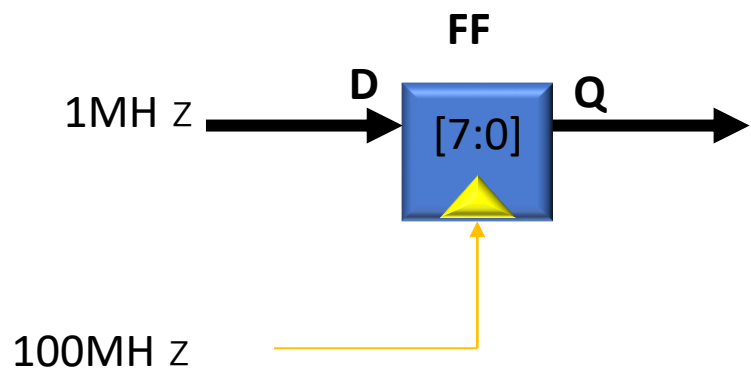
CG構造は Configuration ブロックのFFの中
クロックネットワーク上にはCGは存在しない



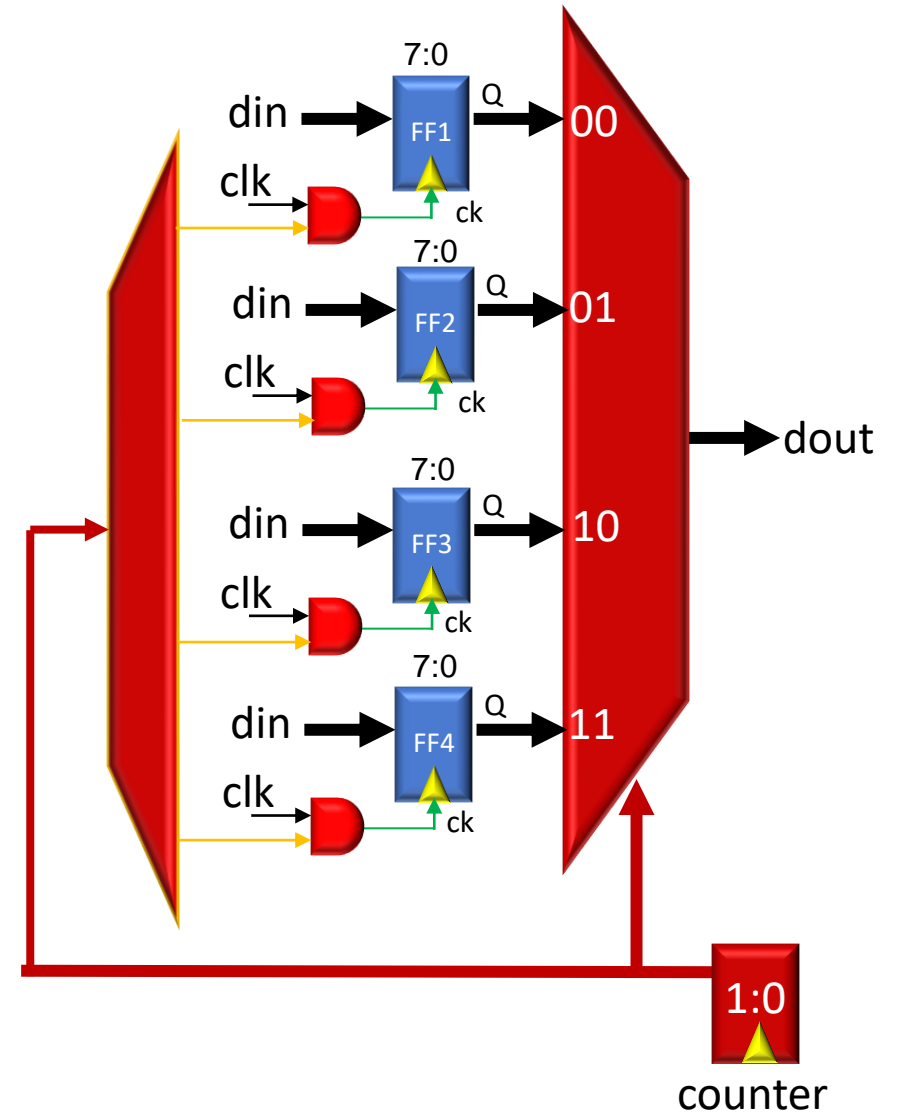
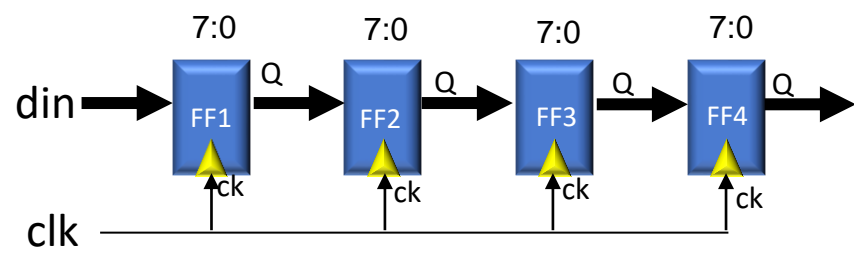
Configuration Block内のFF



XOR Gating使用時のASICとFPGAのパワー増減

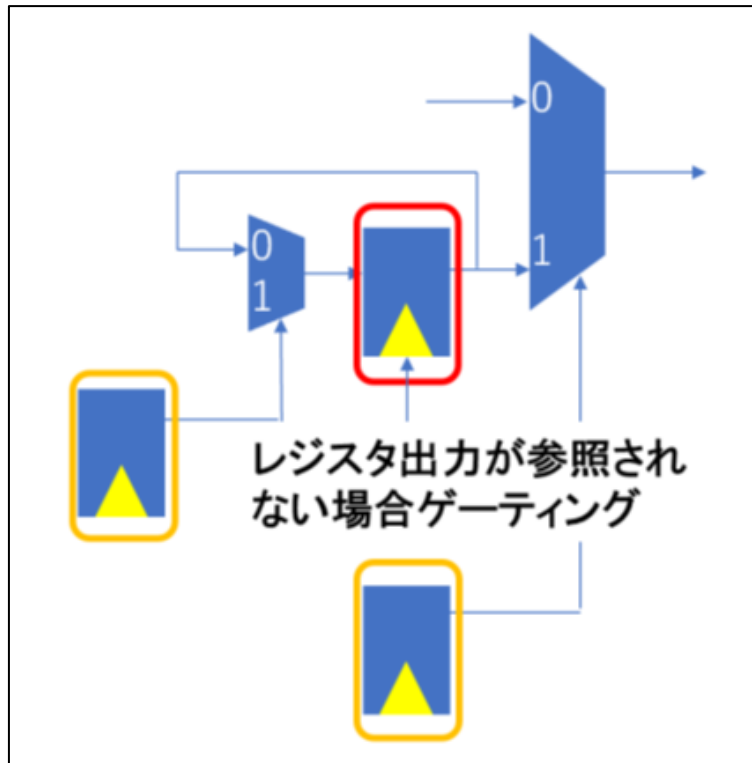


Circular Buffer使用時のパワー増減

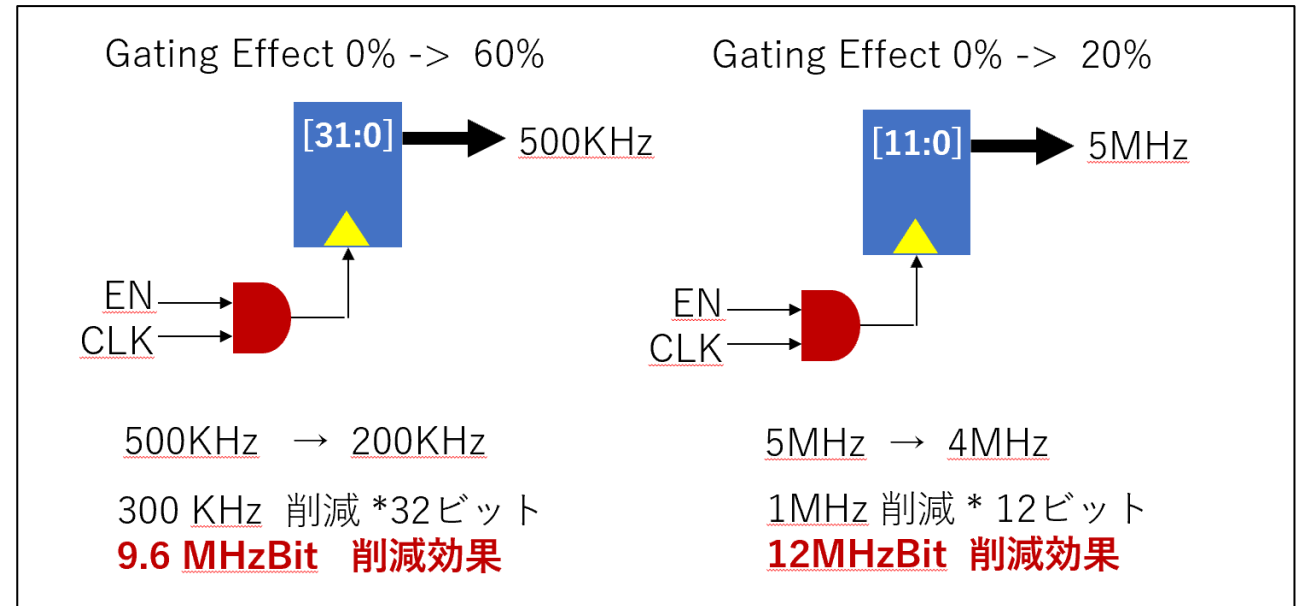


FPGAでのローパワー設計手法とは？

FPGAローパワー最適化手法



周波数削減効果 = パワー削減効果



Gating Effect より周波数削減効果に着目

MUXローパワー最適化のサンプル例

表1. FPGAデザインにおける MUX ローパワー対策例

Power(W)	Clocks	CLB Logic				Signals
			LUT as Logic	LUT as Shift Reg	Register	
Original RTL	0.206	0.161	0.114	0.027	0.015	0.237
Optimized RTL	0.211	0.160	0.113	0.027	0.015	0.214

表2.小さなFPGAテストケースにおけるMUXローパワー対策例

Type	Gated FF	Gated MEM	# of			Power(W)						
			SRL16	FDRE	BRAM	CLK	FF	SRL	Comb	BRAM	Total	Static
Original RTL	50	1	26	55	1	0.012	<0.001	<0.001	<0.001	0.006	0.019	0.467
Optimized RTL	122	1	0	133	1	0.010	<0.001	<0.001	<0.001	0.001	0.012	0.467

↑
クロックでパワー削減？

↑
1BRAMで0.5mWのパワー削減

FPGAでのクロックパワー

表3.クロック消費電力を調査するためのテストケース比較

Type	User Gated	Tool Gated	# of FDRE	Clock Power	Register Power	Comb Power	Total Power	Static Power
Original RTL1	0	0	132	0.015	<0.001	<0.001	0.488	0.467
Optimized RTL1	128	0	132	0.015	<0.001	<0.001	0.488	0.467
Original RTL2	0	0	132	0.015	<0.001	<0.001	0.488	0.467
Optimized RTL2	128	0	132	0.011	<0.001	<0.001	0.488	0.467

```
5. Clock Regions : Load Primitives
-----
+-----+-----+-----+-----+
|           | Global Clock |           | FF       |
+-----+-----+-----+-----+
| Clock Region Name | Used | Avail | Used | Avail |
+-----+-----+-----+-----+
| X0Y0 | 0 | 24 | 0 | 27840 |
| X1Y0 | 0 | 24 | 0 | 25920 |
| X2Y0 | 0 | 24 | 0 | 32640 |
| X3Y0 | 0 | 24 | 0 | 22080 |
| X0Y1 | 1 | 24 | 1 | 27840 |
| X1Y1 | 1 | 24 | 131 | 25920 |
| X2Y1 | 0 | 24 | 0 | 32640 |
| X3Y1 | 0 | 24 | 0 | 22080 |
| X0Y2 | 0 | 24 | 0 | 27840 |
| X1Y2 | 0 | 24 | 0 | 25920 |
| X2Y2 | 0 | 24 | 0 | 32640 |
| X3Y2 | 0 | 24 | 0 | 22080 |
| X0Y3 | 0 | 24 | 0 | 27840 |
| X1Y3 | 0 | 24 | 0 | 25920 |
| X2Y3 | 0 | 24 | 0 | 32640 |
| X3Y3 | 0 | 24 | 0 | 22080 |
+-----+-----+-----+-----+
```

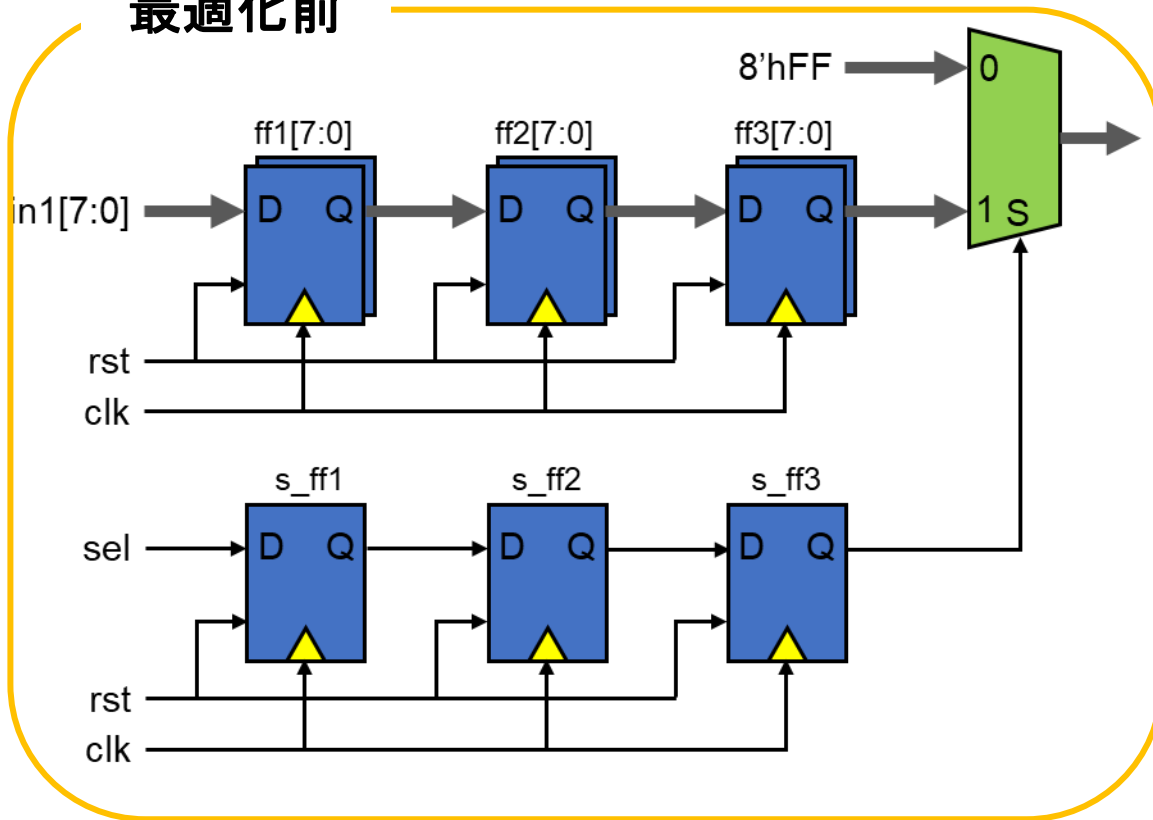
```
5. Clock Regions : Load Primitives
-----
+-----+-----+-----+-----+
|           | Global Clock |           | FF       |
+-----+-----+-----+-----+
| Clock Region Name | Used | Avail | Used | Avail |
+-----+-----+-----+-----+
| X0Y0 | 0 | 24 | 0 | 27840 |
| X1Y0 | 0 | 24 | 0 | 25920 |
| X2Y0 | 0 | 24 | 0 | 32640 |
| X3Y0 | 0 | 24 | 0 | 22080 |
| X0Y1 | 1 | 24 | 0 | 27840 |
| X1Y1 | 1 | 24 | 132 | 25920 |
| X2Y1 | 0 | 24 | 0 | 32640 |
| X3Y1 | 0 | 24 | 0 | 22080 |
| X0Y2 | 0 | 24 | 0 | 27840 |
| X1Y2 | 0 | 24 | 0 | 25920 |
| X2Y2 | 0 | 24 | 0 | 32640 |
| X3Y2 | 0 | 24 | 0 | 22080 |
| X0Y3 | 0 | 24 | 0 | 27840 |
| X1Y3 | 0 | 24 | 0 | 25920 |
| X2Y3 | 0 | 24 | 0 | 32640 |
| X3Y3 | 0 | 24 | 0 | 22080 |
+-----+-----+-----+-----+
```

異なったClock Regionに配置された場合
Clockパワーは増加

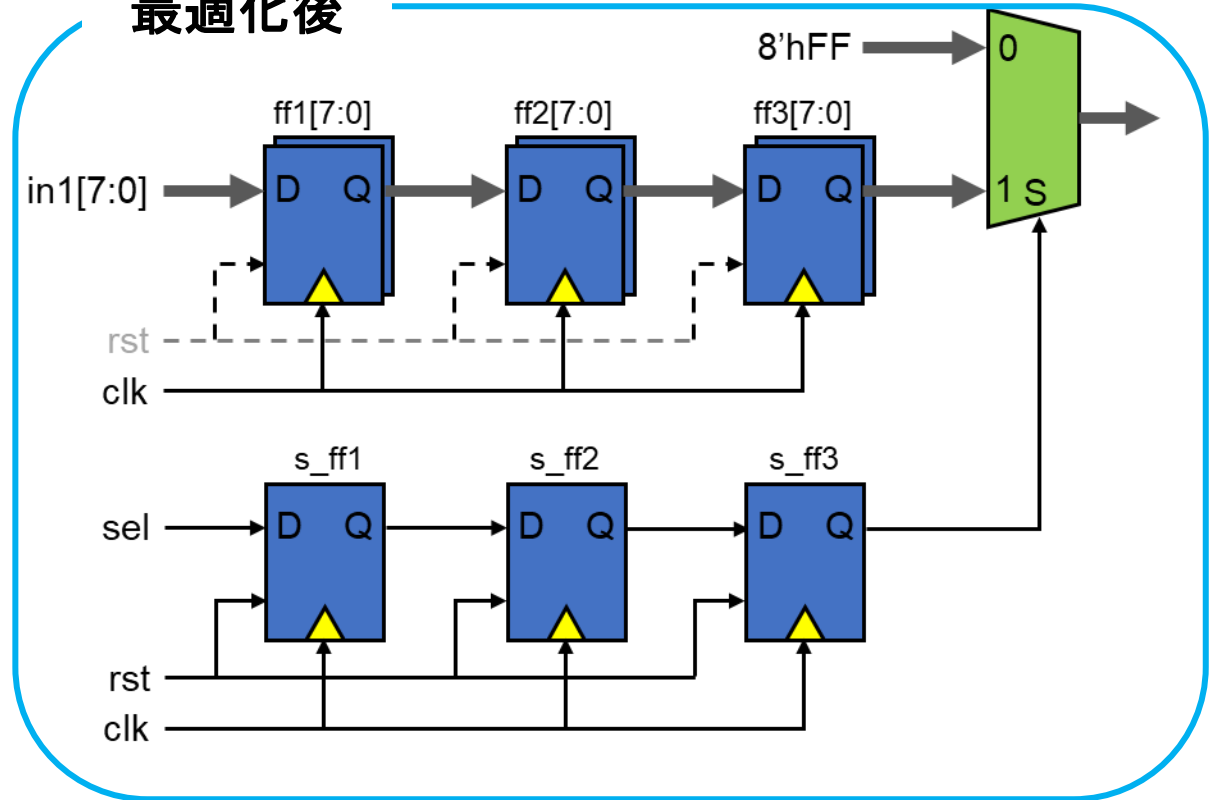
FPGAでのローパワー設計手法で最も有効な手段

破線は“redundant reset”として削除する信号

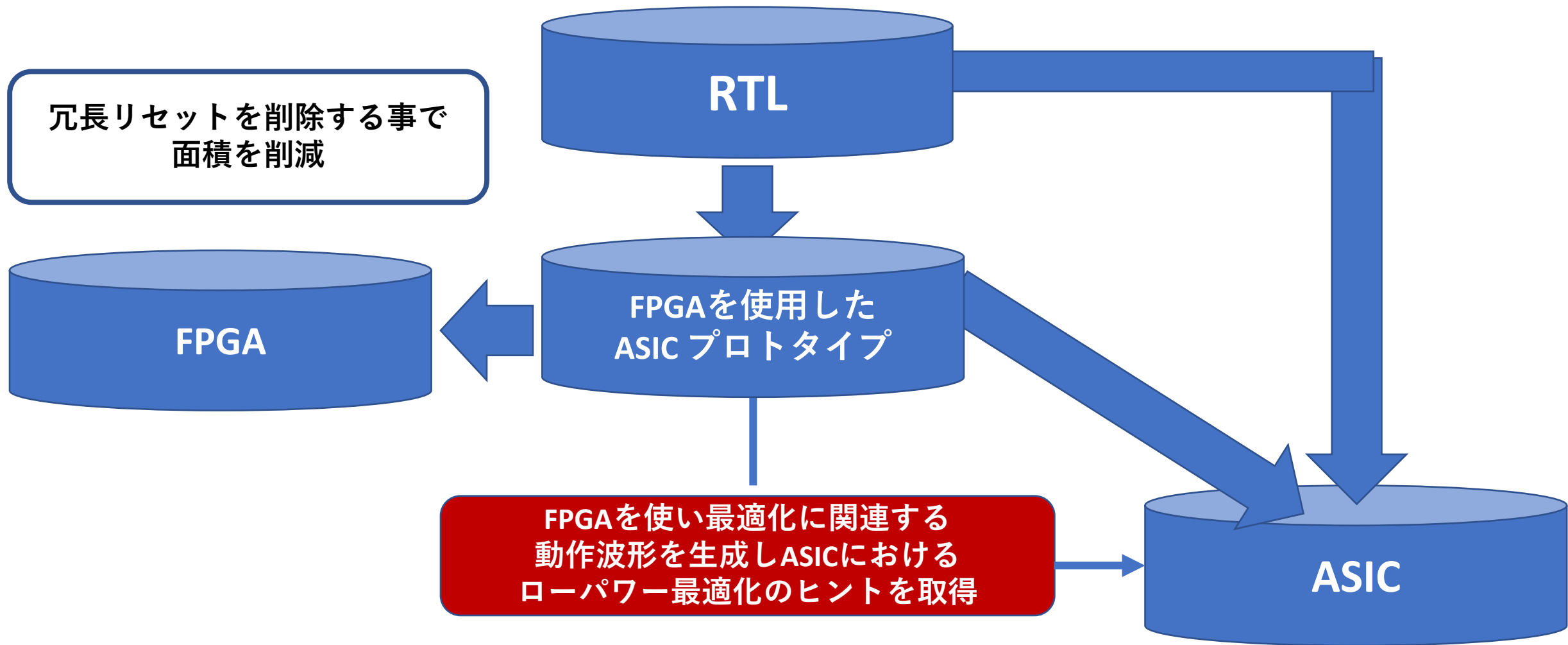
最適化前



最適化後



今後のローパワー設計課題と取り組み方法



質疑応答