

2022
DESIGN AND VERIFICATION™
DVCON
CONFERENCE AND EXHIBITION
JAPAN

デジアナ間仕様整合確認のための RNMの活用

ソニーセミコンダクタソリューションズ(株)

本田 貴史

自己紹介

氏名:

本田 貴史 (ほんだ たかし)

所属組織:

ソニーセミコンダクタソリューションズ(株)
デザイン&システム技術プラットフォーム部門
設計技術開発部

担当領域:

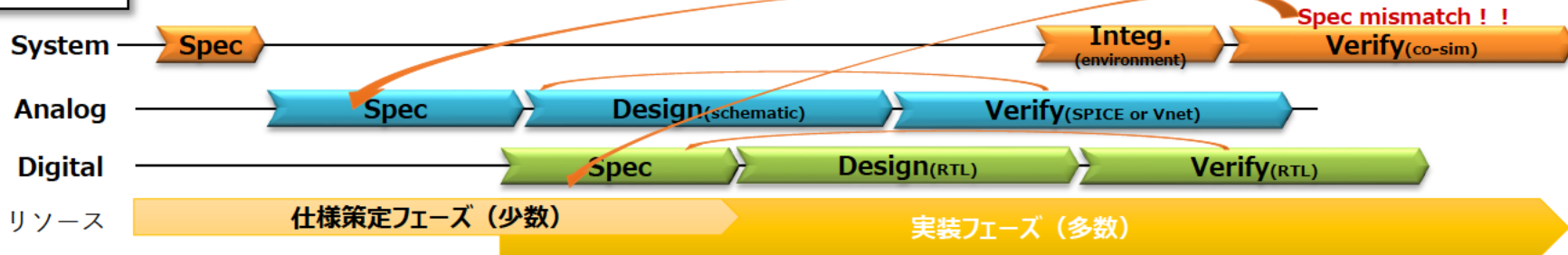
- ロジック設計自動化
- ・バスIF設計自動化
 - ・モジュール組上げ自動化
 - ・アナログ制御回路設計自動化
 - ・AIを活用した設計自動化



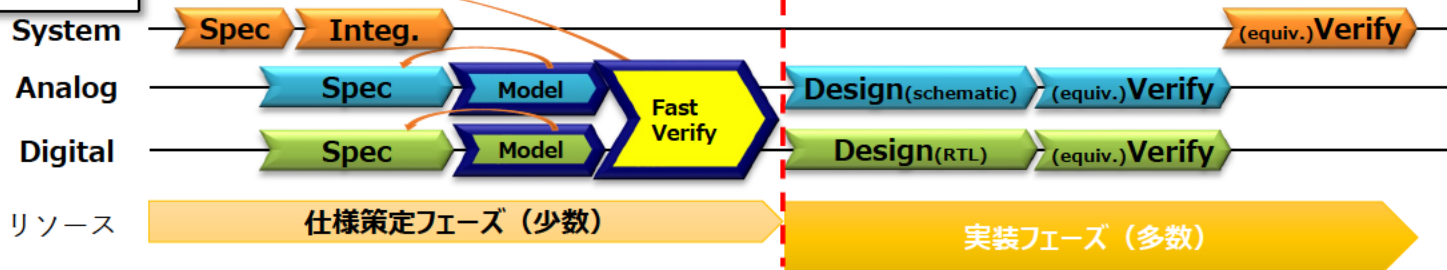
早期のデジアナ仕様妥当性確認フローの必要性

デジアナ統合時の機能不整合による手戻りを撲滅し開発期間短縮

開発前

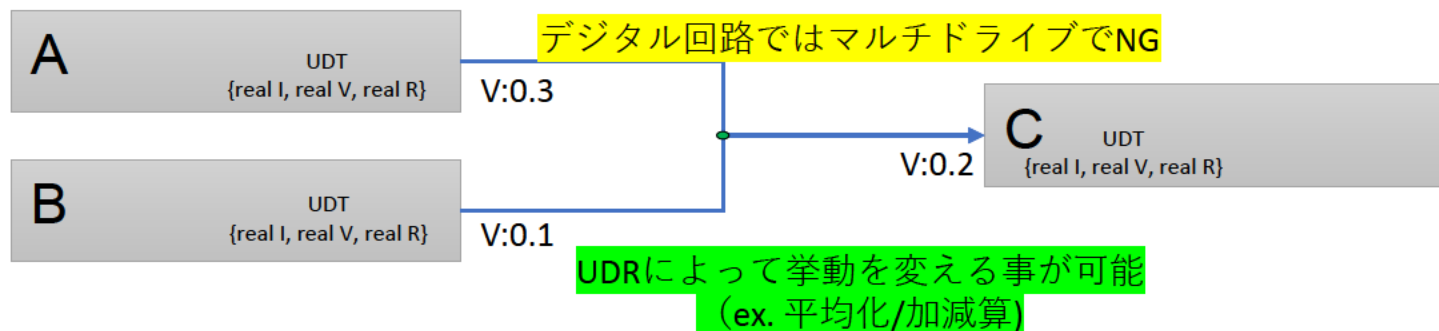


開発後



アナログ回路のRealNumberModel化(機能モデル化)

- 活用した技術: SystemVerilog (IEEE 1800)
 - User Defined Type(UDT)
 - User Defined Resolution(UDR)
- アナログの機能をモデリングするために必要なNettypeを定義

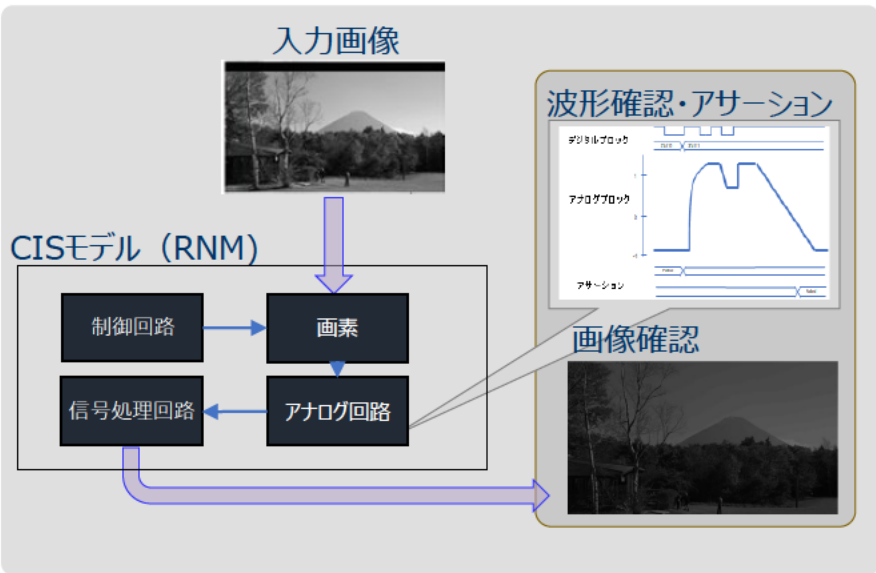


- 回路自体のモデリングではなく、あくまで機能のモデリングに注力

RNMを活用した効果

従来手法のデジアナCo-Simと比較して3,000倍の高速化を実現

ミックスシグナル回路へのUVM等の最先端検証手法や等価検証手法を確立



1. システム検証戦略

- 設計構想段階でのCISシステムの機能検証戦略を立案

2. モデリング&パフォーマンスチューニング

- 検証戦略に基づき機能モデル仕様を作成
- パフォーマンスを考慮した抽象度選択と組み合わせ

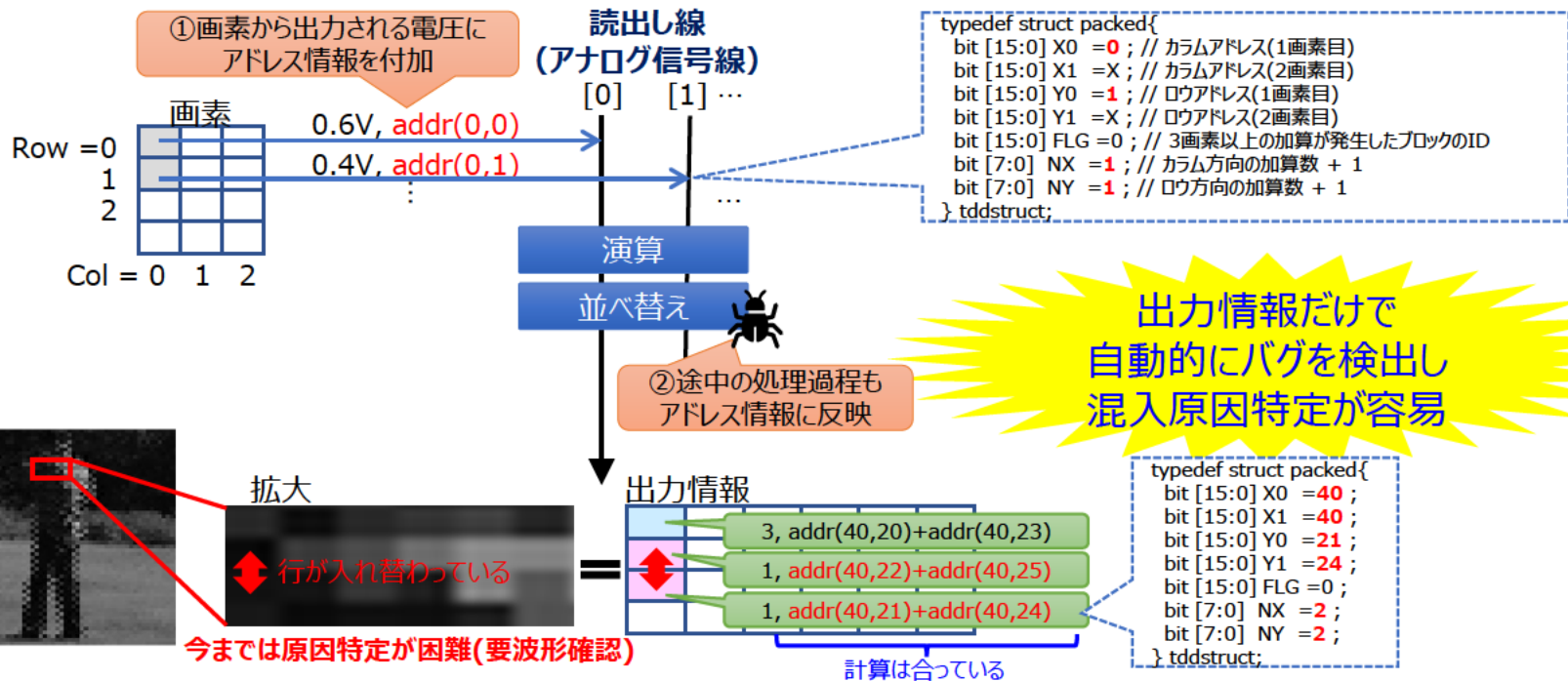
3. デジタルシミュレータを用いた高速システム検証

- UVMやAssertionなど再利用性の高い技法で品質確認

	Sim時間
Co-Sim (従来手法)	1.5Day@100Line
本手法	41min @6,000Line

UDTを活用したデバッグビリティの向上

アナログ信号線にデジタル的なデバッグ情報(アドレス)を付加しデバッグビリティ向上

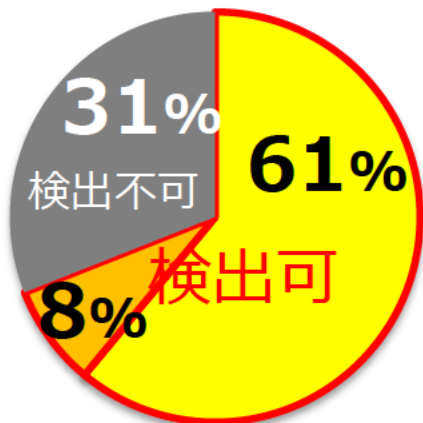


設計の効率化を実現

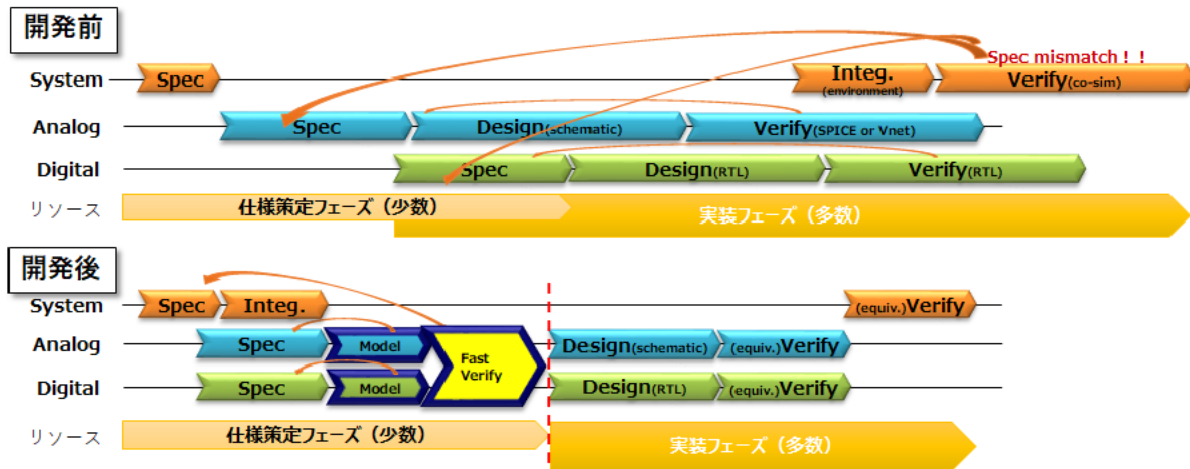
設計終盤からの手戻りを7割防止し開発期間を20%短縮

RNMを活用した早期のデジアナ仕様妥当性確認で手戻りサイクルを大幅短縮

手戻りの起因となる不具合の内訳



- Fast Verifyで検出可能な機能不整合による不具合
- RNMと回路の(equiv.) Verifyで検出可能な不具合
- RNMで検出できない性能や実装起因の不具合



質疑応答