

2023  
DESIGN AND VERIFICATION™  
**DVCON**  
CONFERENCE AND EXHIBITION  
**JAPAN**

**JUNE 22, 2023**

**2023  
CONFERENCE  
PROCEEDINGS**

## 目次

DVCon Japan 2023実行委員会 委員長のご挨拶	P3
Conference Sponsor – Accellera Systems Initiative	P4
DVCon Japan 2023実行委員会	P5
DVCon Japan 2023 プログラム	P6
スポンサー／サポーター一覧	P7
プログラム概要: 基調講演	P10
プログラム概要: チュートリアルセッション-2	P10
プログラム概要: 論文発表 1A / 1B / 1C / 1D	P11
プログラム概要: 論文発表 2A / 2B / 2C / 2D	P13
プログラム概要: 論文発表 3A / 3B / 3C / 3D	P15
出展社 一覧	P18
プログラム概要: チュートリアルセッション-2	P16
スポンサー／サポーター一覧	P21

## DVCon Japan 2023 実行委員長ご挨拶



DVCon Japan 2023 実行委員長  
株式会社アドバンテスト 田中玄一

DVCon Japan 2023によこそ！

DVConは米国では20年以上もの歴史を持つカンファレンスですが、昨年のオンラインに開催に続き、今年是对面形式で開催することとなりました。

DVConの歴史を紐解くと、1980年代に開催されていたVHDL User Groupや、その後のOpen Verilog Internationalにまで遡ります。当時も今も変わらず、言語仕様を学習することは大事ですが、それだけでは設計や検証を効果的に進めることはできません。さまざまな記述方法によって異なるメリットやデメリットについて、後工程も含めた評価と実践的な体得が不可欠です。それを業界として効率良く学ぶことを目的として発展してきたコミュニティから、2003年にDVCon - Design and Verification Conferenceが立ち上がりました。それまでのHDL設計だけでなく、極めて重要な課題である機能検証やその他多くの技術的な側面を取り上げたカンファレンスです。現在のDVConではIEEE標準であるSystemVerilogやUVM、UPF、フォーマル検証メソドロジ、Portable Test and Stimulus Standard、SystemC、IP-XACT、機能安全、セキュリティ、AI/MLの適用など、議論する分野も多岐にわたります。

このような背景を持つDVConは米国はもとより、2014年以降ヨーロッパ、インド、中国で開催される国際的なカンファレンスとして発展してきました。そして昨年は長く待たれていたDVCon Japanをオンライン形式で、そして今年是对面形式で開催することとなりました。

多くの技術者や管理者の方々にとって、さまざまな論文やチュートリアルによって多くのことが学べる場となるように、また技術者どうし、聴講者と講演者、アクセララの代表らとの交流の場となるよう願っています。DVCon Japan 2023はAccellera Systems Initiativeはもとより、スポンサー、サポーターの皆様、また今年より協賛をいただいております情報処理学会、IEEE CEDA AJJCの方々にも、この場をお借りしまして厚く御礼申し上げます。

DVCon Japan 2023では、実にさまざまな技術について議論いたします。チュートリアルではAccellera標準のPSSやIEEE標準のIP-XACTの最新情報、フォーマル検証メソドロジ、機能検証の戦略策定方法などについて学ぶことができます。論文発表ではUVMやRISC-V、高位検証、AIを用いた故障シミュレーションなどについて議論します。

また基調講演としまして、東京大学 大学院情報理工学系研究科 教授、鶴岡慶雅先生に「言語生成AIの原理と展望」というタイトルでご講演いただきます。

是非ともDVCon Japan 2023にご参加ください。皆さまとともに有意義なカンファレンス体験ができますことを楽しみにしております。

## CONFERENCE SPONSOR



Accellera Systems Initiative は、世界中のエレクトロニクス業界が使用するシステムレベル設計やモデリング、および検証のための標準規格を開発、サポート、推進し、さらに促進させるための独立した非営利組織です。

Accelleraは幅広いメンバーで構成されており、偏りなくオープンです。世界中のエレクトロニクス産業に利益をもたらす技術標準を開発するための技術委員会の活動を全面的にサポートしています。

世界中の企業や半導体メーカーは、民生機器、モバイル機器、ワイヤレス機器、自動車機器、その他の「スマート」な電子機器を開発するために、幅広いプロジェクトや応用分野でIEEEの電子設計自動化（EDA: Electronics Design Automation）技術や知的財産（IP=Intellectual Property）標準を使用しています。AccelleraはIEEEとの継続的なパートナー関係にあり、Accelleraが開発した標準や技術的な実装がIEEEに寄贈されることで正式な標準化と継続的なガバナンスを実現しています。

### Accellera Systems Initiativeのミッション

Accelleraのミッションは、エレクトロニクス製品の設計・検証の生産性を向上させるグローバルスタンダードを提供し、エレクトロニクス業界が協力してイノベーションを起こせるようなプラットフォームを提供することです。その目的とするところは次のとおりです。

- システム、半導体、IP、設計ツール企業が必要とする設計・検証標準を提供し、フロントエンドの設計自動化プロセスを強化する
- 企業、個人、組織のコミュニティと協力し、商用 IC、EDA 製品、組込みシステムソリューションの設計コストを低減し、世界中の設計者の生産性を向上させる標準を提供する
- システムレベル、RTLレベル、ゲートレベルの設計フローを包含する次世代EDAとIP標準の利用可能性と採用を促進する
- 電子設計コミュニティと協力して設計者の生産性を向上させ、製品開発コストを低減させる標準を提供する
- SystemC、Universal Verification Methodology (UVM)、IP-XACTを含むAccellera Systems Initiativeユーザ・コミュニティの継続的な成長を可能にする仕組みを提供する
- IEEEを通じてAccellera Systems Initiativeが開発した技術的な実装を標準化する

Accellera Global Sponsors



## Academia Sponsor



IPJ SIGSLDM  
(Information Processing  
Society of Japan - SIG System  
and LSI Design Methodology)

IEEE CEDA All Japan Joint Chapter

# STEERING COMMITTEE

## DVCon Japan 2023 Steering Committee



General Chair  
株式会社アドバンテスト  
田中 玄一



Accellera Liaison  
Siemens EDA  
Dennis Brophy



Vice Chair  
東芝デバイス&ストレージ株式会社  
福場 義憲



Technical Program Chair  
富士通株式会社  
吉川 隆英



Technical Program Co-Chair  
ソニーセミコンダクタ  
ソリューションズ株式会社  
橋本 毅久



Tutorial Chair  
Canon U.S.A.  
細川 博司



ASP-DAC Liaison  
東京大学  
若林 一敏



Program Management Co Chair  
CMエンジニアリング株式会社  
鈴木 武大



Program Management Chair  
Arteris IP株式会社  
中村 幸二



Marketing Chair  
EE Tech Focus合同会社  
三橋 明城男

# DVCon Japan 2023 Program

Time	Room 1	Room 2	Room 3	Exhibition
	<b>Greetings / Accellera Overview / Keynote Speech</b>			
9:45-10:05	実行委員長挨拶 / Accellera オーバービュー			
10:05-10:55	基調講演 <b>「言語生成 AI の原理と展望」</b> 東京大学 大学院情報理工学系研究科 教授 鶴岡慶雅			
	<b>Tutorial Session 1</b>			
11:00-11:50	効果的なフォーマルテストベンチの構築 Synopsis Inc. 野々下博	IP-XACT IEEE-1685 入門から最新情報まで Arteris IP 中村幸二		
11:50-12:30				<b>Lunch &amp; Exhibition</b>
	<b>Technical Session 1</b>	<b>Technical Session 2</b>	<b>Technical Session 3</b>	
12:30-13:00	<b>TS1A</b> Differentiating with Custom Compute and Use Case Intro	<b>TS2A</b> Integrating L1 & L2 Cache for multi-Core UVM-based extended Low Power Library Package	<b>TS3A</b> Generic High-Level Synthesis Flow from MATLAB/Simulink Model	<b>Exhibition</b>
13:05-13:35	<b>TS1B</b> How to overcome the hurdle of customizing RISC-V with formal	<b>TS2B</b> Easy Testbench Evolution, Styling Sequences and Drivers	<b>TS3B</b> Shifting functional verification to high value HLV	
13:40-14:10	<b>TS1C</b> A streamlined approach to validate FP matrix multiplication with formal	<b>TS2C</b> Holistic Verification of Bus Health Monitor in Automotive SoC using BHMVC and ParaHunter	<b>TS3C</b> Addressing Shared IP Instances in a Multi-CPU System Using Fabric Switch A Comprehensive Solution	
14:15-14:45	<b>TS1D</b> Architectures to Tradeoff Performance vs. Debug for Software Development on Emulation Platform	<b>TS2D</b> Reducing the simulation life cycle time of Fault Simulations using Artificial Intelligence and Machine Learning techniques on Big Data dataset	<b>TS3D</b> Automatic Generation of Implementation Layer for Embedded System using PSS and SystemRDL	
14:45-15:10				<b>Coffee &amp; Exhibition</b>
	<b>Tutorial Session 2</b>			
15:10-16:00	Verification 2.0 – Multi-Engine, Multi-Run AI-Driven Verification 日本ケイデンス・デザイン・システムズ社 加藤木聡	Pythonを用いたRTL検証 EE Tech Focus 三橋明城男	3社協業 (Agnisys / Breker / Smart-DV) による、次世代 SoC検証フローの自動化 ネクストリーム 川原常盛	<b>Exhibition</b>
16:05-16:55	データドリブン検証による製品品質の向上とカバレッジ・クロージャの短縮 Siemens EDA Mark Olen, 山本修作, 安藤泰輝	SoC開発を成功させる検証戦略とは CMエンジニアリング 二見誠一	PSS標準の概要および標準化最新情報 DVCon Japan実行委員 細川博司	
	<b>Networking and Exhibition</b>			
17:00-19:00				<b>Networking &amp; Exhibition</b>



THANK YOU TO OUR SPONSORS !

DVCon Japan 2023 GOLD SPONSORS

**cādence®**

日本ケイデンス・デザイン・システムズ社

**NeXtream**

株式会社ネクストリーム

**SIEMENS**

シーメンスEDAジャパン株式会社

**SYNOPSYS®**

*Silicon to Software™*

日本シノプシス合同会社

THANK YOU TO OUR SPONSORS !

DVCon Japan 2023 SILVER SPONSORS





THANK YOU TO OUR SPONSORS !

DVCon Japan 2023 SUPPORTERS



DVCon Japan 2023 COFFEE LOVERS



DVCon Japan 2023 MEDIA PARTNERS



## 基調講演

10:05-10:55 / Room-1

### 言語生成 AI の原理と展望

東京大学  
大学院情報理工学系研究科  
教授 鶴岡慶雅



ChatGPTをはじめとする言語生成AIが社会や産業に大きな影響を与えつつある。言語生成AIは大規模言語モデルとも呼ばれ、大量のテキストを用いて言語モデルとして事前学習され、人間との対話ができるようにファインチューニングされている。本講演では、大規模言語モデルの原理や周辺技術を解説したうえで、大規模なプログラムの生成やデバッグの可能性などを含め、今後の言語生成AIの発展に関する展望を述べる。

## Tutorial Session -1

11:00-11:50 / Room-1

### 効果的なフォーマルテストベンチの構築

Synopsys, Inc.  
Application Engineer, Principal 野々下 博

機能検証品質向上の目的から、網羅的な検証が可能なフォーマル検証のニーズが益々高まってきています。ブロック検証においては、フォーマル検証を適用する割合も増えてきており、フォーマル検証のみでサインオフするプロジェクトも増加しています。その際、如何に効果的なフォーマル・テストベンチ構築が出来るかが、プロジェクトの成否を左右することになります。また、フォーマル検証においては収束性が共通の課題になります。本チュートリアルでは、フォーマル・サインオフのフローと効果的なフォーマル・テストベンチの構築方法をご紹介しますと共に、収束性に影響を及ぼしている要素を特定する技術についてもお説明します。

11:00-11:50 / Room-2

### IP-XACT IEEE-1685 Standard 入門から最新情報まで

Arteris IP  
シニア・アプリケーション・エンジニア 中村幸二

IP-XACTの出現前は、IPのインタフェース、コンフィギュレーション、レジスタアクセスなどはIPサプライヤによってまちまちで、人的エラーが介在しやすく、IP再利用に期待される生産性向上が危ぶまれる課題がありました。IP-XACTはIP統合の要素を標準化し、メタデータとしてXML表記することで、ツールなどの自動化、簡素化を促進し、IPの再利用性とSoC統合の容易性を高めることが趣意です。IP-XACTはIEEE-1685として2009年に標準化され、その後2014年に改版されました。AccelleraのIP-XACT WGでは、IEEE-1685 2014を元に、IP統合に加えて早期プロトタイピングや機能検証、パワー解析、AMS、デバッグなどへの対応を盛り込んだプロポーザルを策定し、2021年にIEEE P1685 WGにハンドオフ、そして2022年9月にはIEEE SAのボードメンバーによって承認されました。このチュートリアルではIP-XACTの基本的な情報も復習しつつ、最新版でどのような利点がもたらされるかについてお伝えします。

## Technical Session - 1 (論文発表)

Session Chair : Takahide Yoshikawa, Fujitsu

12:30-13:00 : Technical Session - 1A

### **Differentiating with Custom Compute and Use Case Intro**

**Shigehiko Ito**, Codasip

In recent years, as Moore's Law approaches its limits and the cost of manufacturing semiconductors using the latest process technologies increases, it has become necessary to use new techniques in semiconductor design to improve performance. To solve this problem, we will introduce an actual design method called "Custom Compute," which is to define an instruction set optimized for each application and design a CPU for that instruction set, along with actual use cases.

近年、ムーアの法則が限界に近づき、最新のプロセス技術による半導体の製造コストが上昇する中、半導体設計においても新しい手法で性能を向上させることが必要になってきている。この問題を解決するために、アプリケーションごとに最適な命令セットを定義し、その命令セットのCPUを設計する「Custom Compute」という実際の設計手法を、実際の使用例とともに紹介する。

13:05-13:35 : Technical Session - 1B

### **How to overcome the hurdle of customizing RISC-V with formal**

Salaheddin Hetalani, Siemens EDA, Pascal Gouédo, Dolphin Design

Nicolae Tusinschi, Siemens EDA, **Seiya Nakagawa**, Siemens EDA Japan

## Technical Session - 1 (論文発表)

Session Chair : Takahide Yoshikawa, Fujitsu

13:40-14:10 : Technical Session - 1C

### **A streamlined approach to validate FP matrix multiplication with formal**

Gerardo Nahum, Siemens EDA, Nicolae Tusinschi, Siemens EDA  
**Seiya Nakagawa**, Siemens EDA Japan

14:15-14:45 : Technical Session - 1D

### **Architectures to Tradeoff Performance vs. Debug for Software Development on Emulation Platform**

Loganath Ramachandran, Ph.D. Verikwest Systems Inc, USA  
Ragavender Swamisai, Belmont Computing, USA  
Prof Makoto Ikeda, Ph.D, University of Tokyo, Japan

In pursuit of facilitating early software development, it has always been necessary to speed up simulation and emulation platforms. Currently, emulation platforms can reach peak performances of several Mhz. However, when debugging is required, the speed drops to 10-100 kHz. In this paper, we propose switchable architectures to enable performance and debugging ends of the software development spectrum. ソフトウェアの早期開発には、シミュレーションやエミュレーションプラットフォームの高速化が欠かせない。現在、エミュレーション・プラットフォームは、数MHzのピーク性能に達することができる。しかしデバッグ時には10～100kHz程度に低下する。本論文では、ソフトウェア開発におけるパフォーマンスとデバッグの両端をスイッチ可能なアーキテクチャを提案する。

## Technical Session - 2 (論文発表)

Session Chair : Koji Nakamura, Arteris IP

12:30-13:00 : Technical Session - 2A

### **Integrating L1 & L2 Cache for multi-Core UVM-based extended Low Power Library Package**

Avnita Pal, Silicon Interfaces, Priyanka Gharat, Silicon Interfaces  
Sastry Puranapanda, Silicon Interfaces

This Paper demonstrates the continuum for multi-Core architecture integrating UPF based Low Power methodologies and strategies to L1 & L2 Cache in Off, Sleep, Dormant and Retention modes within the UVM Low Power Package by addressing limitation of previous works (referenced) to incorporate multi-Core low power libraries (which has the classes for SOC environment Devices, Buses and Memory) for low power strategies which may be deployed in UVM Agents executing within Run Phase with in-built ASM routines to sequence PowerUp/Down for multi-Core L1 & L2 Cache and incorporate these within low power UVM classes using SystemVerilog and DPI.

この論文では、マルチコア低消費電力ライブラリ（SOC環境デバイスのクラスを持つ）を組み込むために先行研究の制約に対処することで、UPFベースの低消費電力手法とUVM低消費電力パッケージ内のL1 & L2 キャッシュのOff、Sleep、Dormant、RetentionのStrategyを統合したマルチコアアーキテクチャの例を示す。SystemVerilogとDPIを使用し、マルチコアL1 & L2 CacheのPowerUp/DownをシーケンスするASMルーチンを内蔵したRun Phaseで実行するUVM Agentに導入し、低電力UVMクラス内に組み込めるStrategy用のマルチコア低電力ライブラリ（SOC環境のデバイス、バス、メモリ用のクラスを含む）を組み込む。

13:05-13:35 : Technical Session - 2B

### **Easy Testbench Evolution, Styling Sequences and Drivers**

Rich Edelman, Siemens EDA, Kento Nishizawa, Siemens EDA Japan

SystemVerilog UVM polymorphism and the factory pattern are explored to increase productivity for UVM testbenches, focusing on sequences and drivers.

SystemVerilog UVMのポリモーフィズムとファクトリ・パターンについて、シーケンスとドライバを中心に、UVMテストベンチの生産性を向上させるための検討について解説する。

## Technical Session - 2 (論文発表)

Session Chair : Koji Nakamura, Arteris IP

13:40-14:10 : Technical Session - 2C

### **Holistic Verification of Bus Health Monitor in Automotive SoC using BHMVC and ParaHunter**

Gaurav Kumar Yadav, Abhisek Hota, Prashantkumar Sonavane,  
Samsung Semiconductor India R & D

14:15-14:45 : Technical Session - 2D

### **Reducing the simulation life cycle time of Fault Simulations using Artificial Intelligence and Machine Learning techniques on Big Data dataset**

Darshan Sarode, Silicon Interfaces, Pratham Khande, Silicon Interfaces,  
Priyanka Gharat, Silicon Interfaces

This paper presents an application of AI/ML algorithms to reduce fault simulation cycles from standard fault simulation techniques where each node is switched with Stuck@0/Stuck@1 by generation, testability and simulation to reduce simulation cycles. AI/ML techniques are used to partition sample datasets into training/test datasets, build/compile a ML model, and perform model fitting using standard AI packages, optimization techniques, and activation/loss functions for error reduction to predict outputs. The hypothesis is based on the predicted match results run through different sized datasets and hyper- parameters, resulting in a ML model with 20% of the predicted test data results, similar to error simulation.

本稿では、生成、テスト容易性、シミュレーションによって各ノードを Stuck@0/Stuck@1 に切り替えて行うシミュレーションのサイクルを短縮する、AI/MLアルゴリズムの適用事例を示す。AI/ML技術は、サンプル データセットをトレーニング/テストデータセットに分け、MLモデルを構築/コンパイルし、標準AIパッケージ、最適化技術、出力予測、エラー削減のための活性化/損失関数を使用してモデルフィッティングを実行した。この仮説は、さまざまなサイズのデータセットとハイパーパラメーターを介して実行される予測一致結果に基づいており、エラーシミュレーションと同様に、予測テストデータ結果の20%を含むMLモデルが得られた。



## Technical Session - 3 (論文発表)

Session Chair : Hiroshi Hosokawa, Canon U.S.A.

12:30-13:00 : Technical Session - 3A

### **Generic High-Level Synthesis Flow from MATLAB/Simulink Model**

Petri Solanti, Siemens EDA, Germany

**Shusaku Yamamoto**, Siemens EDA Japan

Increasingly design teams are asking for an automated code generation from ESL design environments to hardware description in RTL. Automated RTL generation can be implemented as a direct ESL-to-RTL synthesis or by using High-Level Synthesis (HLS) tools. Most HLS tools use C++ or SystemC as a modeling language, which is closer to the higher-level languages used in ESL environments than VHDL or Verilog. Model translation process is still needed, but the effort of manual translation is reasonable, and the translation process can be automated to some extent. Using C++ or SystemC as an intermediate language in the process provides unexpected benefits to the overall design flow. This paper introduces a generic MATLAB to RTL design flow that can be used with most common HLS tools, and it is target technology agnostic.

設計チームは、ESL設計環境からRTLでのハードウェア記述への自動コード生成が必要となるケースが増加している。RTLの自動生成は、ESLからRTLへの直接合成として、または高位合成 (HLS) ツールにより実装することができる。ほとんどのHLSツールはモデリング言語としてC++やSystemCを使用し、VHDLやVerilogよりもESL環境で使用される高位言語に近い。モデルの翻訳作業は必要だが、手作業での翻訳も、ある程度自動化が可能である。C++やSystemCをプロセスの中間言語として使用することで、設計フロー全体に予期せぬメリットをもたらす。本稿では、一般的なHLSツールで使用でき、ターゲット技術非依存の汎用的なMATLABからRTLへの設計フローを紹介する。

13:05-13:35 : Technical Session - 3B

### **Shifting functional verification to high value HLV**

**Junichi Tatsuda**, Siemens EDA Japan

Functional verification is taking up more and more of a project's time. On the other hand, more and more projects are applying high-level synthesis. For such projects, shifting functional verification to high-level is highly expected. However, what is important in high-level verification is how to increase the value to achieve coverage closure, which is the biggest challenge in functional verification. This paper discusses the measurement of code coverage and functional coverage for high-level models, and describes methods to increase the productivity and quality of functional verification for the project as a whole by making verification plans and tests more complete through high-level verification.

機能検証がプロジェクトの多くの時間を占めるようになるなかで、高位合成を適用するプロジェクトも増えつつある。そのようなプロジェクトにとって機能検証を高位にシフトすることには大きな期待が寄せられる一方で、機能検証の最大の課題であるカバレッジクローズを実現するために、いかに高位検証の価値を高めるかが重要である。本稿では高位モデルに対するコードカバレッジや機能カバレッジの測定について触れ、高位検証によって検証プランとテストをより完全なものとするので、プロジェクト全体として機能検証の生産性と品質を上げる手法について述べる。



## Technical Session - 3 (論文発表)

Session Chair : Hiroshi Hosokawa, Canon U.S.A.

13:40-14:10 : Technical Session - 3C

### **Addressing Shared IP Instances in a Multi-CPU System Using Fabric Switch A Comprehensive Solution**

Priyanka Gharat, Silicon Interfaces, Avnita Pal, Silicon Interfaces

Sastry Puranapanda, Silicon Interfaces

The objective of this paper is to utilize the capabilities of PSS-based DSL language features, such as byte addressability, resource sharing/locking, multiple component instances, and true parallel scenarios. The purpose is to address problems related to data integrity and bottlenecks in multi-core processors that communicate with multiple devices. This is achieved by implementing a learning heterogeneous switch fabric with address storage and translation. With this feature, cores can communicate with any endpoint device on one of the switch ports while leaving other ports free for communication, thus enabling parallel traversal operations. The result is a method that maintains parallelism while ensuring data integrity through resource sharing/locking.

本稿の目的は、PSSベースのDSL言語の特徴である、バイトアドレス指定、リソース共有/ロック、複数コンポーネントインスタンス、真の並列シナリオなどの機能を活用することである。その目的は、複数のデバイスと通信するマルチコアプロセッサにおけるデータの整合性とボトルネックに関連する問題に対処することである。これは、アドレスストレージとトランスレーションを備えた学習型ヘテロジニアススイッチファブリックを実装することで達成される。この機能により、コアはスイッチポートの1つで任意のエンドポイントデバイスと通信しながら、他のポートは通信のために空けておくことができ、並列トラバース操作が可能となる。その結果、リソースの共有/ロックによりデータの整合性を確保しつつ、並列性を維持する方式を実現することができた。

## Technical Session - 3 (論文発表)

Session Chair : Hiroshi Hosokawa, Canon U.S.A.

14:15-14:45 : Technical Session - 3D

### **Automatic Generation of Implementation Layer for Embedded System using PSS and SystemRDL**

Nikita Gulliya, Agnisys Technologies, Sudhir Bisht, Agnisys Technologies

The complexity of modern SoC has raised the requirement for HW/SW co-simulation to catch the bugs from the early design stage. There is a lack of common set of sequences which can be shared across the teams. The approach discussed in this paper based on PSS and SystemRDL which will help design teams to generate unified test and programming sequences in UVM and Firmware from the specification. The register information can be in standard format like PSS/SystemRDL. Users can define the test sequences in PSS (or Excel, Python GUI(NG)), and then generate the unified test sequences from verification to validation. The tests generated are UVM sequences for simulation and firmware sequences for HW/SW co-simulation and post silicon validation like start-up sequence, read-write operation shutdown sequence, low power mode sequence etc. It has been explained through application on a machine power controller example.

近年のSoCの複雑化が進み、設計の初期段階からバグを検出するためにHW/SW協調検証の必要性が高まっている。しかし設計チーム間で共通シーケンスが共有されていないのが現状である。本稿では、PSSとSystemRDLに基づき、設計チームが仕様書からUVMとFirmWareで統一されたテストとプログラミングのシーケンスを生成するのに役立つ手法を説明する。レジスタ情報は、PSS/SystemRDLのような標準的なフォーマットで提供可能である。ユーザは、PSSまたはExcel、Python GUI (NG) でテストシーケンスを定義し、検証から妥当性確認までの統一テストシーケンスを生成できる。生成されるテストは、UVMシーケンス、HW/SW協調検証、ポストシリコンバリデーション用のFirmWareシーケンス(startup, read/write, shutdown, low power mode, etc.) である。このテストは電力制御装置への適用例により解説する。

EXHIBITORS

cādence®



imperas



JEITA

**NeXtream**



SIEMENS

SYNOPSYS®

*Silicon to Software™*



## Tutorial Session - 2

15:10-16:00 / Room-1

### Verification 2.0 – Multi-Engine, Multi-Run AI-Driven Verification

日本ケイデンス・デザイン・システムズ社

カスタマーエンゲージメントエンジニア 加藤木 聡

SoCの複雑さは、エンジニアリング、計算能力の許容量、および検証ツールのパフォーマンスの向上を上回る速度で増大しており、ビッグデータを活用し、検証にAIを適用して、全体的な生産性を向上させる次世代に向けたEDAツールへの期待が高まっています。最近発表したケイデンスのVerisium AI-Driven 検証プラットフォームは、まさにそのような世代交代を代表する一連のアプリケーションであり、シリコンのバグを減らし、市場投入までの時間を短縮するソリューションを提供します。本セッションでは、複数ジョブ実行、複数エンジンに対応する新たな検証メソッドへの移行によって、検証の完了に向けた工数の増加にどのように対処できるか、特にデバッグへの応用に重点を置きご説明します。

15:10-16:00 / Room-2

### Pythonを用いたRTL検証

EE Tech Focus

三橋 明城男

Wilson Research Groupが隔年で行っている「Functional Verification Study」によれば、2020年、2022年ともに検証言語にPythonを採用しているプロジェクトは一定数あり、最新の2022年の調査ではASICで23%、FPGAで17%のプロジェクトが採用しています。このチュートリアルではPythonをベースとしたcocotbやpyuvvmなどのオープンソースプロジェクトやその実装を紹介しながら、Pythonを採用する動機や背景などについて紐解いていきます。またソフトウェア的な側面が極めて強い検証言語が、今後どのような方向に行こうとしているのかについて、SystemVerilogと比較しながら考察します。

15:10-16:00 / Room-3

### 3社協業 (Agnisys/Breker/Smart-DV) による、次世代SoC検証フローの自動化

株式会社ネクストリーム

代表取締役社長 川原 常盛

本チュートリアルでは、3社の主要なEDAツールを用いて、IPレベルから、ブロックレベル、更にSoC、シリコンまでの検証に適用し最適化する手法を紹介します。3社の製品を組み合わせることで、以下のようなフローを実現します。

- AMBA等レジスタ・バス・インタフェース接続のためのグルーロジック生成、検証向けのドライバの生成。レジスタ・バス以外の規格化されたプロトコルに対しては検証IPを利用
- CSVファイルやIP-XACTで記載されたレジスタ定義からUVM RALモデルを生成
- CやUVMで作成されたユニット・テストのPSSを利用したカプセル化、システム向けテスト・シナリオの自動生成
- プロセッサ上で動作するCコードによるテスト・シナリオの合成

SoC検証自動化に取り組む企業間のコラボレーションにより、完全な次世代IPおよびSoCフローの構築について説明します。これにより、参加者はSoC検証を加速させる方法についてより深く理解し、自身の設計に適用頂けます。

## Tutorial Session - 2

16:05-16:55 / Room-1

### データドリブン検証による製品品質の向上とカバレッジ・クロージャの短縮

Siemens EDA

Director of Product Management for IC Verification Mark Olen

アプリケーション・エンジニアリング / シニア・マネージャー 山本 修作

FAEマネージャー 安藤 泰輝

IC設計における検証は、設計チームが共通認識できる単一の思想のもとに行われるべきものであり、エンジニア間の適切な連携と管理が必須となります。検証マネジメントには、状況に応じた優先順位の変更が求められますが、検証トレンドを即座に確認、分析してチームを再編することは時として大きな負荷のかかるタスクです。プロダクト・マネジメントから検証マネジメントまでのタスクの自動化が急務となっています。

また、IP品質のダブルチェックも非常に重要な要素です。シーメンスEDAが提案するIPの確実なプロトコル準拠を確認するためのチェック機構は、プロトコルエラーを検出し、Die-to-Die通信 (UCIe) やCXL、PCIe Gen6などの最新プロトコルに対応したカバレッジを提供します。本チュートリアルでは、CXLデバイス環境でのSW開発手法についてもご紹介します。

16:05-16:55 / Room-2

### SoC開発を成功させる検証戦略とは

CMエンジニアリング株式会社

デザインサービス事業部長 二見 誠一

近年の大規模SoC開発において検証の比重がますます高くなる中、検証ゴールへの道筋を示す検証戦略を開発目標や条件など多角的に検討して策定すること、そしてプロジェクト全体で共有することは、開発の成功可否を決める検証の第1歩であり重要なポイントです。このチュートリアルでは、SoC開発全体の検証戦略を策定する上で検討すべきアイテムと、その中でも重要なキーとなるリスクの洗い出しとそのマネジメントの戦略について、(1)検証漏れを防ぐ検証階層、検証範囲、検証手法の設定、(2)スケジュールとリソース、コストの両立に着目し、「SoC開発を成功させる検証戦略とは？」としてまとめた内容を説明します。

16:05-16:55 / Room-3

### PSS標準の概要および標準化最新情報

DVCon Japan 実効委員 細川 博司

機能検証はプロジェクトを通してブロック、サブシステム、システムと検証対象が変わり、さらにシミュレーションやエミュレーション、あるいはFPGAプロトタイプリングなど検証プラットフォームも変わります。またブロックレベルではUVMで検証し、SoC統合後はCプログラムを組み込みプロセッサ上で実行するなど、一貫性のあるテスト手法が存在しないのが現状です。PSS (Portable Test and Stimulus Standard) は、このような課題を解決するためにAccelleraで標準化されています。このチュートリアルではPSSの基本的な内容も復習しつつ、AccelleraのPSS WGで現在も改版が行われている次期バージョンの最新情報についても紹介します。Accellera PSS V2.0に続く次期バージョンはV2.1とするか、またはある大きな方向転換を理由にV3.0とするかも議論となっており、その方向転換についてもご紹介します。

日本ケイデンス・デザイン・システムズ社  
[https://www.cadence.com/ja\\_JP/home.html](https://www.cadence.com/ja_JP/home.html)

株式会社ネクストリーム  
<https://nextream.bz>

シーメンスEDAジャパン株式会社  
<https://www.mentorg.co.jp>

日本シノプシス合同会社  
<https://www.synopsys.com/ja-jp.html>

Codasip  
<https://codasip.com>

イーソルトリニティ株式会社  
<https://www.esol-trinity.co.jp>

株式会社ジーダット  
<https://www.jedat.co.jp>

株式会社PALTEK  
<https://www.paltek.co.jp/index.html>

S2Cジャパン株式会社  
<https://www.s2cinc.com>

株式会社ベリフォア  
<https://verifore.jp>

一般社団法人電子情報技術産業協会  
<https://www.jeita.or.jp/japanese/>

ベリシリコン株式会社  
<https://www.verisilicon.com>

EE Tech Focus合同会社  
<https://www.eetechfocus.com>

株式会社インターバディ  
<https://www.interbuddy.co.jp>

CMエンジニアリング株式会社  
<https://cmengineering.co.jp>

日本リアルインテント株式会社  
<https://jp.realintent.com>

株式会社EDAエクスプレス  
<https://www.eda-express.com>

株式会社セミコンダクタポータル  
<https://www.semiconportal.com>