

2022
DESIGN AND VERIFICATION™
DVCON
CONFERENCE AND EXHIBITION
JAPAN

VIRTUAL
JUNE 23, 2022

ON-DEMAND
JUNE 27-JULY 31, 2022

2022
CONFERENCE
PROCEEDINGS

目次

DVCon Japan 2022実行委員会 委員長のご挨拶	P3
Conference Sponsor – Accellera Systems Initiative	P4
DVCon Japan 2022実行委員会	P5
DVCon Japan 2022 プログラム	P6
特別スポンサー／ゴールドスポンサー／シルバースポンサー メディアスポンサー／サポーター	P7
プログラム概要: 基調講演／チュートリアル	P9
プログラム概要: スポンサーード チュートリアル	P10
プログラム概要: テクニカルセッション 1A	P12
プログラム概要: テクニカルセッション 1B	P13
プログラム概要: テクニカルセッション 2	P14
DVCon Japan 2022開催概要	P16
スポンサー／サポーター一覧	P16



DVCon Japan 2022 実行委員長 ご挨拶

DVCon Japan 2022 実行委員長
株式会社アドバンテスト 田中玄一

DVCon Japan 2022によろこそ！

DVConは米国では20年以上もの歴史を持つカンファレンスですが、このたび日本国内で開催するはこびとなりました。

DVConの歴史を紐解くと、1980年代に開催されていたVHDL User Groupや、その後のOpen Verilog Internationalにまで遡ります。当時も今も変わらず、言語仕様を学習することは大事ですが、それだけでは設計や検証を効果的に進めることはできません。さまざまな記述によって異なるメリットやデメリットについて、その後の工程も含めた実践的な評価と体得が不可欠です。それを業界として効率良く体得することを目的として発展してきたコミュニティは、2003年にDVCon - Design and Verification Conferenceを開催することになりました。それまでのHDL設計だけでなく、極めて重要な課題である機能検証やその他多くの側面を取り上げたカンファレンスです。現在のDVConではIEEE標準であるSystemVerilogやUVM、UPF、フォーマル検証のメソドロジー、Portable Test and Stimulus Standard、SystemC、IP-XACT、機能安全、セキュリティなど、議論する分野も多岐にわたります。

このような背景を持つDVConはアメリカ合衆国はもとより、2014年以降ヨーロッパ、インド、中国で開催される国際的なカンファレンスとして発展してきました。そして2022年には長く待たれていたDVCon Japanを、オンライン形式のバーチャルイベントとして開催することとなりました。多くの技術者や管理者の方々に、さまざまな論文やチュートリアルによって多くのことが得られますように願っています。DVCon Japan 2022は Accellera Systems Initiativeはもとより、一般社団法人電子情報技術産業協会（JEITA）ならびにスポンサー、サポーターの皆様のご賛同なしでは開催できませんでした。この場をお借りして厚く御礼申し上げます。

DVCon Japan 2022では、実にさまざまな技術について議論いたします。Accellera標準であるPSS（Portable Test and Stimulus Standard）、IEEE 1800標準であるSystemVerilogへのAnalog/Mixed-Signal Extension、またIEEE 1800.2標準となったUVM（Universal Verification Methodology）、IEEE2804標準のSHIM（Software-Hardware Interface for Multi-Many-Core）、そして機能安全のISO26262など、標準についての多彩なトピックに触れることができます。またフォーマル検証やAIアクセラレーション、ローパワー設計、機械学習を導入した設計や機能検証フローについての論文発表もごさいます。

また基調講演としまして、東京大学 d.labセンター長 RaaS理事長である教授 - 黒田忠広先生に「More Moore, More than Moore, and More People」というタイトルでご講演いただきます。

是非ともDVCon Japan 2022にご参加ください。皆さまとともに有意義なカンファレンス体験ができますことを楽しみにしております。



Accellera Systems Initiative は、世界中のエレクトロニクス業界が使用するシステムレベル設計やモデリング、および検証のための標準規格を開発、サポート、推進し、さらに促進させるための独立した非営利組織です。

Accelleraは幅広いメンバーで構成されており、偏りなくオープンです。世界中のエレクトロニクス産業に利益をもたらす技術標準を開発するための技術委員会の活動を全面的にサポートしています。

世界中の企業や半導体メーカーは、民生機器、モバイル機器、ワイヤレス機器、自動車機器、その他の「スマート」な電子機器を開発するために、幅広いプロジェクトや応用分野でIEEEの電子設計自動化（EDA: Electronics Design Automation）技術や知的財産（IP=Intellectual Property）標準を使用しています。AccelleraはIEEEとの継続的なパートナー関係にあり、Accelleraが開発した標準や技術的な実装がIEEEに寄贈されることで正式な標準化と継続的なガバナンスを実現しています。

Accellera Systems Initiativeのミッション

Accelleraのミッションは、エレクトロニクス製品の設計・検証の生産性を向上させるグローバルスタンダードを提供し、エレクトロニクス業界が協力してイノベーションを起こせるようなプラットフォームを提供することです。その目的とするところは次のとおりです。

- システム、半導体、IP、設計ツール企業が必要とする設計・検証標準を提供し、フロントエンドの設計自動化プロセスを強化する
- 企業、個人、組織のコミュニティと協力し、商用 IC、EDA 製品、組込みシステムソリューションの設計コストを低減し、世界中の設計者の生産性を向上させる標準を提供する
- システムレベル、RTLレベル、ゲートレベルの設計フローを包含する次世代EDAとIP標準の利用可能性と採用を促進する
- 電子設計コミュニティと協力して設計者の生産性を向上させ、製品開発コストを低減させる標準を提供する
- SystemC、Universal Verification Methodology (UVM)、IP-XACTを含むAccellera Systems Initiativeユーザ・コミュニティの継続的な成長を可能にするメカニズムを提供する
- IEEEを通じてAccellera Systems Initiativeが開発した技術的な実装を標準化する

Accellera Global Sponsors

cādence[®] **SIEMENS** **SYNOPTIS**[®]

STEERING COMMITTEE

DVCon Japan 2022 Steering Committee



General Chair
株式会社アドバンテスト
田中 玄一



Accellera Liaison
Siemens EDA
Dennis Brophy



Vice Chair
東芝デバイス&ストレージ株式会社
福場 義憲



Technical Program Chair
富士通株式会社
吉川 隆英



Technical Program Co-Chair
ソニーセミコンダクタ
ソリューションズ株式会社
橋本 毅久



Past Technical Program Co-Chair
ソニーセミコンダクタ
ソリューションズ株式会社
旦木 秀和



Tutorial Chair
Canon U.S.A.
細川 博司



Tutorial Vice Chair
CMエンジニアリング株式会社
鈴木 武大



Program Management Chair
Arteris IP株式会社
中村 幸二



Marketing Chair
EE Tech Focus合同会社
三橋 明城男

DVCon 2022 2022 Technical Program

Time	Track A	Track B	Track C
	Greetings / Accellera Overview / Keynote Speech		
9:00-9:20	実行委員長挨拶 / Accellera オーバービュー		
9:20-10:20	Keynote MMore Moore, More than Moore, and More People 東京大学 d.labセンター長 RaaS理事長 教授 黒田忠広		
	Tutorial Session 1		
10:20-11:20	Tutorial プロジェクトの現場で使われ始めたAccellera標準のPSS (実行委員企画)		
11:20-12:20	Tutorial ISO26262対応LSI開発における回路規模・消費電力増の小さい機能安全アーキテクチャ ペリフィケーションテクノロジー株式会社	Sponsored Tutorial VC Formal FRVIによるレジスタ検証のご紹介  SYNOPSYS Silicon to Software®	Sponsored Tutorial SystemUVM™ - 本当に必要なテストを簡単に実現する  BREKER ™
12:20-13:00	Lunch Break		
	Technical Session 1A	Technical Session 1B	
13:00-13:30	Raising the level of Formal Signoff with End-to-End Checking Methodology NVIDIA Corporation	ASIC設計経験者が陥りやすい誤ったFPGAローパワー対策と正しい手法 シーメンスEDA株式会社	
13:30-14:00	Register Modeling – Exploring Fields, Registers and Address Maps Siemens EDA	デジアナ間仕様整合確認のためのRNMの活用 ソニーセミコンダクタソリューションズ株式会社	
14:00-14:10	Break		
	Technical Session 2		
14:10-14:40	PSS action sequence modeling using Machine Learning Samsung Electronics		
14:40-15:10	Machine Learning-based Smart Assessment of User Floorplan Quality without running Place & Route Plunify		
15:10-15:40	Compact AI accelerator for embedded applications Codasip		
15:40-15:50	Break		
	Tutorial Session 2		
15:50-16:50	Tutorial IEEE2804 SHIM: Software-Hardware Interface for Multi-Many-Core 名古屋大学	Sponsored Tutorial Siemens EDAの検証ソリューションのご紹介  SIEMENS	Sponsored Tutorial Machine Learning Driven Verification: A Step Function in Productivity and Throughput  cādence ®
16:50-17:00	Ending Session		

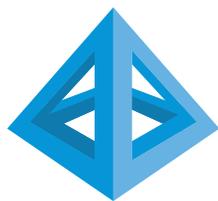
THANK YOU TO OUR SPONSORS !

DVCon Japan 2022 SPECIAL SPONSORS

JEITA

一般社団法人電子情報技術産業協会

DVCon Japan 2022 GOLD SPONSORS



BREKER™

Breker Verification Systems
株式会社ネクストリーム

cādence®

日本ケイデンス・デザイン・システムズ社

SIEMENS

シーメンスEDAジャパン株式会社

SYNOPSYS®

Silicon to Software™

日本シノプシス合同会社

THANK YOU TO OUR SPONSORS !

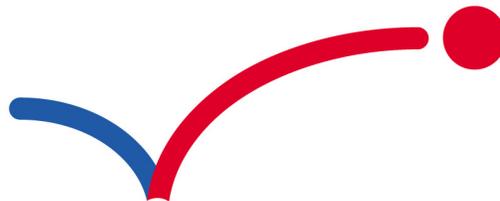
DVCon Japan 2022 SILVER SPONSORS



SOLUTION SUPPLIER
PALTEK

株式会社PALTEK

DVCon Japan 2022 MEDIA SPONSORS



semiconportal

株式会社セミコンダクタポータル

EDA EXPRESS

株式会社EDAエクスプレス

DVCon Japan 2022
SUPPORTERS



REAL INTENT

日本リアルインテント株式会社



株式会社インターバディ

EE Tech
FOCUS

EE Tech Focus合同会社

基調講演

More Moore, More than Moore, and More People

東京大学
d.labセンター長 RaaS理事長
教授 黒田忠広



エネルギー危機の解決なくしてデータ駆動型社会の持続可能な発展はありません。エネルギー効率の高い専用チップが求められる所以です。汎用チップの時代はデバイス製造のための資本の競争でしたが、専用チップの時代は設計のための知の競争になります。より多くの人々がLSIを利用できるようにすることで世界を変える技術が創出されます。More MooreとMore than Mooreに加えて、More People、つまりLSIの民主化が知価を創出します。

チュートリアル

プロジェクトの現場で使われ始めたAccellera標準のPSS

DVCon Japan実行委員
細川博司 | 三橋明城男

このチュートリアルでは、Accellera Systems Initiativeが標準化を進めるPortable Test and Stimulus Standardについて、その強力な機能と柔軟性を、いくつかの実例を挙げながら解説する。規格の概要はもとより、PSSを使用してさまざまなアプリケーションのスティミュラスをモデリングし、そこから複数の異なるターゲットに特化したテスト実装を生成する方法について解説する。

IEEE2804 SHIM: Software-Hardware Interface for Multi-Many-Core

名古屋大学
大学院情報学研究科情報システム学専攻
教授 枝廣正人

ますます多様化、複雑化するSoC (System on a Chip)の性能を引き出すためには、システム上流設計段階でターゲットSoCやそれを搭載した評価ボードの諸元（プロセッサ種類・数・動作速度、命令実行サイクル数、コア・メモリ間遅延等）を開発環境が機械的に取得、実行時間や動作状況を見積可能とする必要がある。このために標準化されたXML記述仕様がSHIMである。本講演ではSHIMの概要および応用例について紹介する。

ISO26262対応LSI開発における 回路規模・消費電力増の小さい機能安全アーキテクチャ

ベリフィケーションテクノロジー株式会社
濱谷敏行

電子部品の"フォールト"や"エラー"による事故を抑制するために、車載向けLSIに対しては、ISO26262に準拠した設計を行うことが必須になっている。ISO26262に準拠するためには、自動車安全水準（ASIL）のレベルに応じた、安全機構の組み込みが必要になる。これらの安全機構の実装は、必然的に、回路規模や消費電力の増加を招く。ただ、LSIの各回路モジュールの利用用途を考慮した機能安全アーキテクチャとすることで、増加量の大きな抑制が可能となる。本発表では、回路規模や消費電力の増加が少ない機能安全アーキテクチャの紹介を行う。

スポンサード チュートリアル

SystemUVM™ - 本当に必要なテストを簡単に実現する

株式会社ネクストリーム
技術部 部長
守田直也



BREKER™

ハードウェア検証の共通フレームワークとして、UVMを使うことが日本においてもかなり浸透してきている。しかし、実プロジェクトにおいて、UVMをうまく使いこなし実装することが難しく、複数IPの組み合わせやサブシステムにおいて、検証環境構築に相当な工数を要する。Breker社は、この課題を解決するためにPSS (Portable Test and Stimulus Standard) に組み込まれたSystemUVMをこの春に提供しはじめた。これはPSSとUVMのシームレスな相互運用を確保し、PSSの学習コストを低減し、本当に必要なテストを簡単に実現することを目指したライブラリである。SystemUVMの紹介を通して、Breker社が提供するツールが、どのように検証の効率を向上させるのか、を説明する。

Machine Learning Driven Verification: A Step Function in Productivity and Throughput

日本ケイデンス・デザイン・システムズ社
テクノロジーセールスリード システム&ベリフィケーション
後藤 謙治

cādence®

従来、テストの計画策定、実施、デバッグそして品質/カバレッジ管理などの検証ループは、人手によって作業・管理がなされてきました。しかし、LSIの機能的な複雑さの増大または品質の向上、もしくはその両方への対応が必須となってきている現在、これらの課題に対応するための新たな検証方法として、機械学習 (ML) を用いたタイトなスケジュールと高い品質要求への対策が注目を浴びています。このセッションでは、LSIの機能検証におけるMLの取り組みや、その効果的な使用方法をご説明いたします。

Siemens EDAの検証ソリューションのご紹介

シーメンスEDA株式会社
フロントエンド・ソリューション
西沢 研人

昨年5月に完了したOneSpinの買収により、シーメンスEDAの機能検証ソリューションは、ASICだけにとどまらず、FPGAの検証環境やRISC-VコアとSoCのインテグリティ検証にいたるまで機能が充実し、大幅に強化されました。また機能安全の観点からも、従来対応してきたSystematic FaultやRandom Faultの強化に加え、Malicious Faultへも対応を拡張しています。本セッションでは、Questa 検証プラットフォームに加え、OneSpinの最新アップデートをご紹介します。

VC Formal FRV によるレジスタ検証のご紹介

日本シノプシス合同会社
カスタマーサクセス・グループ
シニア・スタッフ・アプリケーションエンジニア
上田 淳

Silicon to Software™

フォーマル検証ツール VC Formal には、検証を効率的に行うことが可能な、様々なアプリケーションがあります。その中の1つであるレジスタ検証 (FRV App : Formal Register Verification Application) についてご紹介いたします。レジスタ検証 (FRV App) では、IP-XACT 規格に準拠したレジスタ記述 (CSV 入力も対応) を行うことで、制御レジスタ回路に対して、AHB 等のバスインターフェイス経由でのアクセス (Front Door) および内部からのアクセス (Back Door) も網羅的に検証が可能です。また、検証に必要なプロパティも自動生成されるため、ユーザーによるSVA 実装は不要です。本セッションでは VC Formal FRV の概要から具体的な実施方法まで、レジスタ検証のフロー全体をご紹介します。

テクニカルセッション 1A (論文発表)

セッションチェア：富士通株式会社 吉川隆英

Raising the level of Formal Signoff with End-to-End Checking Methodology

NVIDIA Corporation
Ping Yeung

The use of formal verification has been steadily increasing thanks to the widespread adoption of automatic formal, formal applications and assertion-based formal checking. However, to continue finding bugs earlier in the design process, we must advance formal verification beyond focusing on a handful of localized functionalities toward completely verifying all block-level design behaviors. An end-to-end formal test bench methodology allows the RTL designer and formal verification engineer to work parallelly to finish design and verification on all functionality formally signed-off as bug-free. Given that today's formal tools cannot close the end-to-end checkers required to verify complex IP blocks, we must rely on methodology to tackle design complexity in a way that allows the formal tool to converge in project time. This paper aims to demystify the end-to-end formal test bench methodology and discusses how we can reduce the complexity of the design with functional decomposition and abstraction techniques.

End-to-Endチェックメソドロジーによるフォーマルサインオフのレベルアップ

フォーマル検証は、自動フォーマル、フォーマル・アプリ、アサーションベースのフォーマルチェックの普及により、着実にその利用が進んでいる。しかし設計プロセスの早い段階でバグを発見し続けるためには、局所的な機能への焦点からブロックレベルの設計動作の完全検証へと進化させる必要がある。End-to-Endのフォーマルテストベンチのメソドロジーでは、RTL設計者とフォーマル検証エンジニアが並行して作業を行い、フォーマルによりバグがないことが証明されたすべての機能に対して設計と検証を完了させることが可能となる。今日のフォーマル検証ツールでは複雑なIPブロックの検証に必要なEnd-to-Endのチェックを収束できないことを考えると、フォーマル検証ツールがプロジェクト時間内に収束できる方法でデザインの複雑性に取り組むメソドロジーに頼らざるを得ない。この論文は、End-to-Endのフォーマルテストベンチのメソドロジーの明確化を目的とし、機能分解と抽象化技術でデザインの複雑度を低減する方法について解説する。

Register Modeling – Exploring Fields, Registers and Address Maps

Siemens EDA
Rich Edelman

SystemVerilog UVM is a powerful way to supply stimulus and check results. It has many facets and functionalities, many of which become roadblocks to beginner users. This paper explores the thought process and implementation details of modeling fields, registers and address maps. The UVM already contains a capable package which models fields and registers and address maps. This paper will develop a lighter weight and less functional package, but simpler to understand, extend and improve.

レジスタモデリングーフィールド、レジスタ、アドレスマップの表現

SystemVerilog UVMのステイミュラス供給と結果チェックは強力である。UVMには多くの側面と機能があるが、その多くは初心者にとって障壁となる。本稿では、フィールド、レジスタ、アドレスマップのモデリングの思考過程と実装の詳細を探る。UVMにはすでに確立されたパッケージが存在する。本稿ではより軽量で低機能ながらも理解、拡張、改良がより簡単なパッケージの開発について説明する。

テクニカルセッション 1B (論文発表)

セッションチェア：ソニーセミコンダクタソリューションズ株式会社 橋本 毅久

ASIC 設計経験者が陥りやすい誤ったFPGAローパワー対策と正しい手法

シーメンスEDA株式会社

長南 純一

国際的な SDGs に見られるように、持続可能な開発目標が求められる情勢において、半導体における消費電力対策は喫緊の課題である。ローパワー対策というとクロックゲーティングや、それを基本とした対策が広く知られているが、同じ対策をFPGAに適用しても、その異なる構造によってむしろ消費電力増となることが多い。ASICからFPGAに置き換えるプロジェクトや、戦略的にFPGAを使用するプロジェクトでは、FPGA固有のローパワー対策を適用することで、世界的に求められるエネルギー要件への対応となり得る。

デジアナ間仕様整合確認のためのRNMの活用

ソニーセミコンダクタソリューションズ株式会社

本田 貴史

CIS設計でのデジアナ間仕様不整合による手戻りを防止し、早期に仕様の妥当性を確認するフローを開発した。アナログ回路をSystemVerilogによってReal Number Model (RNM)化し、従来のSPICE-論理シミュレータの協調シミュレーションと比較して3000倍の高速化を実現した。

テクニカルセッション 2 (論文発表)

セッションチェア：富士通株式会社 吉川隆英

PSS action sequence modeling using Machine Learning

Samsung Electronics

Moonki Jang

In general, one of the most difficult aspects of ML is collecting data for learning. This is because the more learning data, the higher the prediction accuracy of ML. In this regard, we expected that the combination of PSS, which can easily generate numerous tests, and ML, which finds regularity based on collected data, could exert fantastic synergy. And we were able to dramatically increase the verification coverage by being able to freely create concurrent function events that were previously considered impossible at the simulation level through PSS and ML.

PSSのactionシーケンスのモデリングに機械学習を活用する手法

一般的にMLで最も難しいのは、学習用データの収集である。これは学習データが多ければ多いほどMLの予測精度が高くなるためである。この点、多数のテストを簡単に生成できるPSSと、収集したデータから規則性を見出すMLの組み合わせから素晴らしい相乗効果を発揮することが期待される。そして、これまでシミュレーションでは不可能とされていた機能の同時実行イベントを、PSSとMLによって自由に作成でき、検証カバレッジの飛躍的な向上が得られた。

Machine Learning-based Smart Assessment of User Floorplan Quality without running Place & Route

Plunify Pte Ltd

Harn Hua Ng

A new approach to evaluate chip design floorplans by training an Artificial Intelligence model. Predicting routing congestion is critical to chip layout. We propose a Machine-Learning based approach that predicts where congestion and timing bottlenecks are going to be in a chip layout, without running place and route. Identifying important design characteristics like cell connectivity and pin density, we train an Artificial Intelligence model on designs of different performance profiles. The trained model is then employed before the placement stage in the implementation flow of a new design to predict final congestion and timing slack. This allows ASIC and FPGA design teams to save weeks of time and deterministically achieve performance convergence, as well as keep project resources and schedule under control.

機械学習により、配置配線を実行することなくユーザのフロアプラン品質をスマートに評価する新たな手法

AIモデルの学習によるチップ設計フロアプランの新しい評価方法。チップレイアウトにおいて、配線混雑の予測は非常に重要である。我々は、配置配線を実行することなく、チップレイアウトのどこに混雑度やタイミングのボトルネックがあるかを予測する機械学習ベースのアプローチを提案する。セル接続やピン密度などの重要な設計特性を特定し、異なる性能プロファイルのデザインでAIモデルを学習させる。学習したモデルは、新たなデザインの実装フローの配置ステージ前に使用し、最終的な混雑とタイミングスラックを予測する。これにより、ASICやFPGAの設計プロジェクトでは数週間の時間を節約し、性能収束を決定論的に達成すだけでなく、プロジェクトのリソースとスケジュールの適切な管理を可能にする。

Compact AI accelerator for embedded applications

Codasip

Alexey Shchekin

Recent years of IoT/IIoT evolution resulted in a gradual shift from cloud-level to device-level AI processing. It enabled IoT/IIoT devices to run simple AI models at the edge, thus minimizing the security issues, data transfer costs and latency. This talk will explain how the embedded [RV32-IMC] core can be boosted with a compact AI accelerator and custom instructions that improve TensorFlow Lite framework performance on image classification tasks by >5x and reduce the energy consumption by >3x. We will show how the code was profiled and custom instructions selected, before being simulated and implemented using Codasip Studio in only 200 lines of code.

組み込みアプリケーション向けのコンパクトなAIアクセラレータ

近年のIoT/IIoTの進化において、AI処理はクラウドレベルからデバイスレベルへと徐々に移行している。IoT/IIoTデバイスはエッジ側でシンプルなAIモデルを実行できるようになり、セキュリティ問題、データ転送コスト、レイテンシを最小限に抑えることができる。本講演では、組み込み用[RV32-IMC]コアをコンパクトなAIアクセラレータとカスタム命令でブーストし、TensorFlow Liteフレームワークの画像分類タスクの性能を5倍以上改善し、エネルギー消費を3倍以上削減できる方法を説明する。Codasip Studioでのシミュレーションや実装前に、コードがどのようにプロファイリングされカスタム命令が選択されたかを、わずか200行のコードで示す。

DVCon Japan 2022 開催概要

DVCon Japan Online LIVE	2022年6月23日(木) 9:00-17:30 各セッションはWebEx Webinarを使用
Conference Web Site	https://www.dvcon-jpn.org
DVCon Japan On-Demand	2022年6月27日～7月31日

DVCon Japan 2022 スポンサー／サポーター一覧

一般社団法人電子情報技術産業協会
<https://www.jeita.or.jp/japanese/>

Breker Verification Systems
<https://brekersystems.com>

株式会社ネクストリーム
<https://nextream.bz>

日本ケイデンス・デザイン・システムズ社
https://www.cadence.com/ja_JP/home.html

シーメンスEDAジャパン株式会社
<https://www.mentorg.co.jp>

日本シノプシス合同会社
<https://www.synopsys.com/ja-jp.html>

株式会社PALTEK
<https://www.paltek.co.jp/index.html>

株式会社インターバディ
<https://www.interbuddy.co.jp>

EE Tech Focus合同会社
<https://www.eetechfocus.com>

日本リアルインテント株式会社
<https://jp.realintent.com>

株式会社EDAエクスプレス
<https://www.eda-express.com>

株式会社セミコンダクタポータル
<https://www.semiconportal.com>